



Ricerca di Sistema elettrico

# Ottimizzazione del MOSFET in SiC per applicazioni SMPPT e sviluppo di un modello SPICE del dispositivo

F.G. Della Corte, R. Carotenuto, F. Pezzimenti, S. Rao,  
G. De Martino, G. Graditi



## RAPPORTO TECNICO SULL'OTTIMIZZAZIONE DEL MOSFET IN SIC PER APPLICAZIONI SMPPT E SVILUPPO DI UN MODELLO SPICE DEL DISPOSITIVO

F.G. Della Corte, R. Caro F.G. Della Corte<sup>1</sup>, R. Carotenuto<sup>1</sup>, F. Pezzimenti<sup>1</sup>, S. Rao<sup>1</sup>, G. De Martino<sup>1</sup>, G. Graditi<sup>2</sup>  
<sup>1</sup>Università degli Studi Mediterranea di Reggio Calabria - Dipartimento di Ingegneria dell'Informazione, delle Infrastrutture e dell'Energia Sostenibile (DIIES)

<sup>2</sup>ENEA,

Settembre 2017

### Report Ricerca di Sistema Elettrico

Accordo di Programma Ministero dello Sviluppo Economico - ENEA

Piano Annuale di Realizzazione 2016

Area: Generazione di energia elettrica con basse emissioni di carbonio

Progetto: B.1.2 "Ricerca su tecnologie fotovoltaiche innovative"

Obiettivo: Sviluppo di tool di progettazione e studio di dispositivi attivi innovativi per convertitori smppt

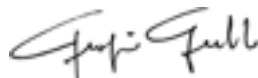
Responsabile del Progetto: Paola DELLI VENERI, ENEA



Il presente documento descrive le attività di ricerca svolte all'interno dell'Accordo di collaborazione "Ottimizzazione tecnologica e topologica di dispositivi switching di tipo MOSFET in carburo di silicio per convertitori SMPPT fotovoltaici".

Responsabile scientifico ENEA: Giorgio Graditi

Responsabile scientifico: Francesco G. Della Corte



# Indice

SOMMARIO.....	4
1. INTRODUZIONE .....	5
2. OTTIMIZZAZIONE DEL 4H-SIC MOSFET PER APPLICAZIONI SMPPT .....	6
2.1 ANALISI NELLO STATO ON.....	7
2.2 ANALISI IN TRANSITORIO .....	10
2.3 CARICA DI GATE E FIGURA DI MERITO .....	11
3. STUDIO DELLA DIPENDENZA DALLA TEMPERATURA DELLE CARATTERISTICHE DEL MOSFET 4H-SIC.....	13
3.1 INTRODUZIONE ED OBIETTIVI.....	13
3.2 FENOMENI FISICI ALLA BASE DELLA DIPENDENZA DELLE CARATTERISTICHE DALLA TEMPERATURA.....	13
3.3 RISULTATI DELLE SIMULAZIONI: LA DIPENDENZA DI $R_{ON}$ .....	15
3.3 RISULTATI DELLE SIMULAZIONI: LA DIPENDENZA DI $V_{TH}$ .....	26
4. STUDIO DI MODELLI SPICE DEL MOSFET DI POTENZA IN 4H-SIC .....	29
4.1 INTRODUZIONE .....	29
4.2 DEFINIZIONE DEI MODELLI SPICE .....	30
4.2.1 Parametri dei modelli SPICE per MOSFET verticali LEVEL-3 .....	30
4.2.2 Capacità del MOSFET per il modello LEVEL-3.....	31
4.2.3 Correnti di leakage e tensione di soglia del MOSFET .....	34
4.2.4 Equazioni del modello LEVEL-3.....	35
4.2.5 Modello VDMOS di LTspice .....	38
4.3 AMBIENTE DI ESTRAZIONE DEI PARAMETRI: CADENCE PSPICE MODEL EDITOR .....	39
4.4 ESTRAZIONE DEI PARAMETRI DEL MODELLO.....	41
4.4.1 Transconduttanza .....	41
4.4.2 Capacità di Gate.....	42
4.4.3 Resistenza nello stato ON, $R_{DS}(ON)$ .....	43
4.4.4 Turn-ON charge.....	43
4.5 CONFRONTO FRA MODELLO SPICE E MODELLO NUMERICO.....	45
4.5.1 Modello PSPICE .....	45
4.5.2 Modello VDMOS di LTSpice .....	47
4.5.2 Simulazioni in transitorio .....	48
CONCLUSIONI .....	51
RIFERIMENTI BIBLIOGRAFICI.....	52

## Sommario

Nel Report “Studio, mediante simulazioni numeriche, delle caratteristiche statiche e dinamiche di un MOSFET in 4H-SiC dimensionato per l’utilizzo in SMPPT fotovoltaici “ relativo al PAR 2015 sono state analizzate le proprietà elettroniche del Carburo di Silicio (SiC) che lo rendono un materiale promettente per la progettazione di dispositivi di potenza per applicazioni fotovoltaiche. Sono state, in particolare, effettuate simulazioni numeriche relative ad un MOSFET in 4H-SiC dimensionato per circuiti da asservire a moduli fotovoltaici (FV). Sono state, infine, confrontate le caratteristiche statiche e dinamiche del dispositivo progettato con quelle di dispositivi commerciali sia in Silicio sia in Carburo di Silicio, evidenziando significativi miglioramenti della resistenza di stato ON ( $R_{ON}$ ) e della carica di gate ( $Q_g$ ) del MOSFET 4H-SiC.

Durante la seconda annualità di lavoro sono stati svolti ulteriori studi e simulazioni numeriche approfondite al fine di raffinare ulteriormente le dimensioni ed i parametri fisici del dispositivo.

E’ stata, in particolare, valutata l’incidenza della lunghezza di canale  $L_{ch}$  e della dimensione  $W_j/2$  sui parametri e sulle proprietà principali del dispositivo.

I risultati ottenuti hanno consentito di comprendere, ancora più in dettaglio, la relazione tra la  $R_{ON}$  e la lunghezza di canale  $L_{ch}$ . Ciò ha permesso di capire quale azione adottare per conseguire una riduzione della  $R_{ON}$  del dispositivo in SiC intervenendo sulla resistenza di canale ( $R_{ch}$ ).

È stato anche svolto uno studio in temperatura per valutare l’impatto di questo parametro sulla  $R_{ON}$  e sulla tensione di soglia,  $V_{th}$ . In particolare, sono stati valutati gli effetti della temperatura nell’intervallo tra 300 K e 450 K, evidenziando un aumento della  $R_{ON}$  all’aumentare della temperatura. Il fenomeno manifesta un andamento ben approssimabile con una relazione di tipo lineare, con il valore della resistenza di stato ON che quasi raddoppia tra 300 K e 400 K. Dallo studio si evidenzia che una minore sensibilità della  $R_{ON}$  si ottiene per il dispositivo con canale più corto. La tensione di soglia  $V_{th}$ , per contro, ha dimostrato una minore sensibilità alla temperatura in presenza di un canale più lungo. L’ultima fase della ricerca ha riguardato lo sviluppo di modelli SPICE (*Simulation Program with Integrated Circuit Emphasis*) del MOSFET in 4H-SiC progettato. Sono stati, in realtà, ottenuti due distinti modelli. Il primo è stato sviluppato a partire dal convenzionale modello LEVEL-3 (utilizzabile ad esempio in PSpice), che si basa su un set di equazioni empiriche i cui parametri sono adattati per ottenere la migliore corrispondenza con le caratteristiche ottenute attraverso le simulazioni fisiche. Il secondo modello è, invece, basato sul modello VDMOS, specificamente sviluppato per il simulatore LTspice (Linear Technologies) per i MOSFET di potenza a canale verticale. In entrambi i casi i risultati ottenuti sono molto buoni e sicuramente tali da consentire, nelle fasi successive del progetto, l’utilizzo dei suddetti modelli circuitali per la progettazione dei circuiti di potenza destinati a convertitori DC-DC.

## 1. Introduzione

In questo Report “Rapporto tecnico sull’ottimizzazione del MOSFET in SiC per applicazioni SMPPT e sviluppo di un modello SPICE del dispositivo” vengono illustrati i risultati conseguiti durante il secondo anno di attività di una ricerca il cui obiettivo ultimo è la progettazione di un MOSFET in Carburo di Silicio (SiC) dimensionato per tensioni di lavoro notevolmente inferiori a quelle dei dispositivi attualmente in commercio. L’obiettivo è il successivo utilizzo di MOSFET SiC all’interno di uno ottimizzatore di potenza, ovvero di un convertitore Smart Maximum Power Point Tracker (*SMPPT*) dimensionato per l’integrazione a bordo di un singolo modulo fotovoltaico. La ricerca è, infatti, finalizzata ad evidenziare i vantaggi che potrebbero derivare dall’adozione di questi dispositivi in circuiti di conversione DC-DC da porre direttamente a bordo di generatori fotovoltaici per l’ottimizzazione della potenza estratta sotto ogni regime di soleggiamento. I valori di corrente e tensione massimi necessari per queste applicazioni sono dell’ordine della decina di Ampere e circa 150 V. Attualmente, dati questi valori di targa, il mercato è soddisfatto ampiamente da dispositivi MOSFET in Silicio, ma l’adozione di semiconduttori ad ampia bandgap promette di consentire il raggiungimento di efficienze superiori.

Nel corso della prima annualità lo studio è stato inizialmente indirizzato ad identificare i parametri del transistor [1] che maggiormente influenzano l’efficienza di conversione di questi sistemi, e dunque:

- a) la massima resistenza nello stato di massima conduzione ( $R_{ON}$ );
- b) la capacità di gate e ,quindi, la carica elettrica da trasferire al condensatore MOS in fase di accensione del dispositivo;
- c) i tempi di accensione e spegnimento del transistor.

Lo studio descritto in questo report è relativo alla seconda fase di progettazione del MOSFET. Esso ha previsto, innanzitutto, un affinamento del design del dispositivo identificato nella prima annualità, per un ulteriore miglioramento delle caratteristiche statiche e dinamiche del MOSFET. Successivamente si è proceduto ad identificare, studiare e mettere a punto un modello analitico del dispositivo da utilizzare all’interno di simulatori circuitali di tipo SPICE. Ciò è importante per verificare il funzionamento del MOSFET all’interno di circuiti switching complessi.

L’estrazione dei parametri SPICE ha richiesto, dapprima, la valutazione del tipo di modello SPICE da utilizzare per le nostre specifiche di progetto, e poi l’individuazione della tecnica di estrazione dei parametri da utilizzare. Il progetto si è basato sui modelli SPICE LEVEL-3 e LTspice VDMOS. Maggiori dettagli sono forniti nei prossimi paragrafi.

## 2. Ottimizzazione del 4H-SiC MOSFET per applicazioni SMPPT

I semiconduttori di tipo Wide Band Gap (WBG) hanno particolari proprietà fisiche e strutturali che li rendono adatti per applicazioni ad alta potenza e ad alta temperatura. Le principali proprietà di questi semiconduttori sono:

- un grande valore del campo elettrico per il quale si manifesta il fenomeno del breakdown
- grande velocità di saturazione degli elettroni di deriva
- piccola costante dielettrica
- alta mobilità elettronica
- piccola resistenza nello stato ON,  $R_{ON}$  (ON-state resistance)
- elevata conducibilità termica

I dispositivi elettronici di potenza devono operare in maniera stabile e con perdite ridotte e presentare un corretto funzionamento anche ad alte temperature.

Inoltre, i sistemi di raffreddamento devono esseri piccoli ed efficienti per potersi adattare ai relativi packaging. Tra i semiconduttori, i migliori candidati per applicazioni in cui si raggiungono elevate temperature sono il Carburo di Silicio (SiC) ed il Nitruro di Gallio (GaN). Purtroppo le tecnologie industriali di questi nuovi semiconduttori WBG non sono né ottimizzate, come quelle del Silicio, né tantomeno sono a basso costo. Il recente interesse scientifico e tecnologico intorno al SiC ha consentito una riduzione dei costi e, quindi, l'immissione sul mercato di dispositivi elettronici per applicazioni in ambienti/condizioni definiti come *harsh* [3] con condizioni di lavoro ad alta potenza ed alta temperatura.

Il principale dispositivo attivo realizzabile in SiC è il MOSFET verticale. La principale differenza nella struttura tra i MOSFET di potenza verticali e i MOSFET laterali convenzionali è la presenza di uno spesso strato debolmente drogato che forma la regione di drift. Lo strato di drift fu introdotto nei MOSFET di potenza per reggere una grande tensione di blocco quando il dispositivo è in stato di OFF. Quando il dispositivo commuta allo stato ON, la corrente deve fluire attraverso il canale e la regione di drift. La resistenza della regione di drift  $R_d$  è una delle principali componenti della resistenza del MOSFET, sulla quale durante la prima annualità di progetto sono stati già fatti studi e valutazioni. Questa resistenza della regione di drift svolge un ruolo notevole nella caduta di tensione di stato ON. In realtà, se trascuriamo la resistenza associata ai contatti ohmici e alla regione JFET, la *ON-state resistance*  $R_{ON}$ , può essere espressa come [3]:

$$R_{ON} = R_{ch} + R_d \quad (1)$$

dove  $R_{ch}$  rappresenta la resistenza offerta dalla regione di canale che si forma sotto l'ossido ed  $R_d$  la resistenza della regione di drift.

Si è ritenuto opportuno, durante la seconda annualità, studiare l'impatto della lunghezza del canale sul valore della  $R_{ON}$ .

Tornando per ora alla resistenza della regione di drift, essa può essere modulata agendo principalmente sullo spessore e sul livello di drogaggio della regione stessa, come sintetizzato dalle due seguenti equazioni che permettono di raggiungere il trade-off ottimale fra tensione di blocco (e quindi spessore dell'epilayer) e valore della  $R_{ON}$ -drift [3]:

$$N_B = \frac{\epsilon_r \cdot E_c^2}{2qV_B} \quad (2)$$

$$W_B = \frac{2V_B}{E_c} \quad (3)$$

cosicché la  $R_{ON}$  è data da [3]:

$$R_{ON-drift} = \frac{W_D}{qN_B\mu_{bulk}} = \frac{4V_B^2}{\epsilon_r \cdot E_c^3 \cdot \mu_{bulk}} \quad (4)$$

dove,  $\epsilon_r$  è la permittività relativa del semiconduttore,  $\mu_{bulk}$  è la mobilità della regione di drift,  $E_c$  è il campo elettrico critico del semiconduttore utilizzato, e  $V_B$  è la tensione di blocco. Il termine  $(\epsilon_r E_c^3 \cdot \mu_{bulk})$  è definito come *Figura di Merito di Baliga (BFOM)* [4], utile per comparare le relative performance dei vari materiali semiconduttori per la fabbricazione di dispositivi di potenza.

Nei prossimi paragrafi saranno illustrati risultati integrativi e migliorativi rispetto a quelli ottenuti durante la prima annualità, ottenuti mediante simulazioni numeriche ad elementi finiti realizzate con il software Atlas della SILVACO software.

## 2.1 Analisi nello stato ON

A partire dall'area della semicella ( $6.5 \mu\text{m}^2$ ) del MOSFET che si sta considerando sono state ricavate, in funzione della tensione  $V_{DS}$ , le caratteristiche della relativa densità di corrente di drain ( $J_D$ - $V_{DS}$ ), così come riportate in Fig. 1, dove sono stati considerati valori di  $V_{GS}$  nel range dai 7 V ai 20 V. Diverse modifiche strutturali sono state approcciate per poter definire una range accettabile della tensione di soglia.

Ovviamente la struttura potrà essere caratterizzata in modo da ottenere dispositivi con diverse tensioni di soglia, specifiche di determinati ambiti applicativi.

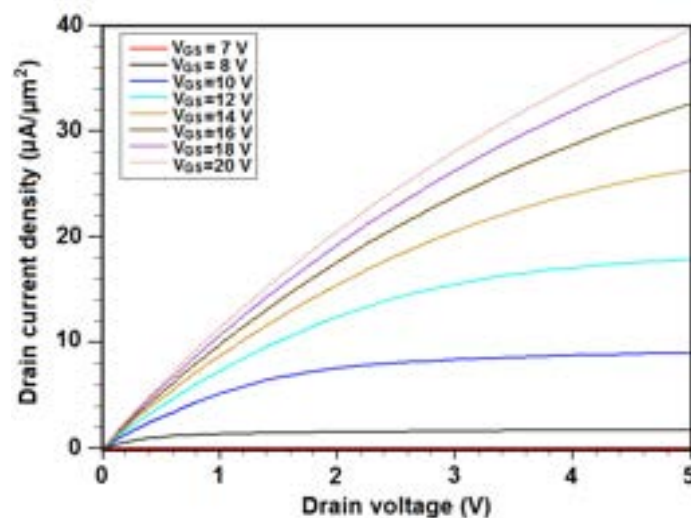


Figura 1. Caratteristiche dirette  $J_D$ - $V_{DS}$  a temperatura ambiente.

I parametri elettrici e geometrici sono riportati in Tab.1.

**Tabella 1. Parametri strutturali del MOSFET.**

Silicon oxide thickness ( $\mu\text{m}$ )	0,08
Source thickness ( $\mu\text{m}$ )	0,50
Channel length, $L_{ch}$ ( $\mu\text{m}$ )	1,00
Base junction depth, $W_{drift}$ ( $\mu\text{m}$ )	1,50
Distance between the base regions, $W_j$ ( $\mu\text{m}$ )	5,00
Epilayer junction depth ( $\mu\text{m}$ )	1,80
Device footprint area ( $\mu\text{m}^2$ )	6,50
$N^+$ -source doping ( $\text{cm}^{-3}$ )	$1,0 \times 10^{18}$
P-base doping ( $\text{cm}^{-3}$ )	$1,0 \times 10^{17}$
N-epilayer n- doping ( $\text{cm}^{-3}$ )	$1,0 \times 10^{16}$
$N^+$ -substrate doping ( $\text{cm}^{-3}$ )	$1,0 \times 10^{19}$

Le simulazioni del dispositivo hanno evidenziato che esso presenta una tensione di soglia di circa 8 V. In questo regime di funzionamento si evidenzia una resistenza dello stato ON che può essere considerata la somma di diversi fattori, così come riportato nella formula (5) ed evidenziato in Fig. 2 [5]:

$$R_{ON} = R_{n+} + R_{ch} + R_a + R_j + R_d + R_b \quad (5)$$

dove  $R_{n+}$  è la resistenza di source,  $R_{ch}$  è la resistenza di canale,  $R_a$  è la resistenza della regione di accumulazione relative alla distanza  $W_j/2$ ,  $R_j$  è la resistenza dello strato di svuotamento fra la regione-P di base e quella di N-drift,  $R_d$  è la resistenza della regione di drift, mentre  $R_b$  è la resistenza di drain. Le componenti  $R_{n+}$  ed  $R_b$  presentano un contributo trascurabile, in quanto sono localizzati in regioni fortemente drogate. I contributi di  $R_{ch}$  ed  $R_a$ , dipendono dal valore di polarizzazione applicato alla gate. Infine,  $R_j$  ed  $R_d$  dipendono dalle dimensioni e dal livello di drogaggio (N-drift) della regione indicata come W-drift.

Per la definizione del punto di lavoro in regione di triodo è stato scelto un valore di polarizzazione di gate di 16 V ed una tensione  $V_{DS} = 1$  V, questi valori hanno fornito una densità di corrente di drain di circa  $10 \mu\text{A}/\mu\text{m}^2$ , corrispondenti ad una  $R_{ON} \approx 100 \text{ k}\Omega \times \mu\text{m}^2$ .

In Fig. 3 è riportato l'andamento della resistenza dello stato ON al variare della tensione applicata alla gate; sono stati, inoltre, riportati gli andamenti per tre diversi valori della  $V_{DS}$ . Ciò è utile per favorire i confronti con eventuali dispositivi commerciali, per i quali ogni costruttore riporta la  $R_{ON}$  per il valore che meglio rappresenta l'andamento lineare della caratteristica in zona triodo.

In Fig. 4 è riportato l'andamento della  $R_{ON}$  in funzione della tensione di polarizzazione VGS e per una  $V_{DS} = 1$  V. Quest'andamento è riportato per differenti valori del valore di  $W_j/2$  (definito in Fig. 3). In particolare il valore  $W_j/2 = 2.5 \mu\text{m}$  rappresenta un buon trade-off per tensioni di gate fino a valori di 16 V. Le simulazioni del MOSFET hanno fornito caratteristiche  $J_D$ - $V_{DS}$  per differenti valori della lunghezza di canale ( $L_{ch}$ ) nel limite di circa  $1 \pm 0.2 \mu\text{m}$ . I risultati hanno evidenziato che questo parametro ha un impatto limitato sulla capacità di condurre corrente del dispositivo. In piena fase ON, il valore della  $R_{ON}$  approssimativamente decresce (cresce) di un fattore del 5% se  $L_{ch}$  è imposto a  $0.8 \mu\text{m}$  ( $1.2 \mu\text{m}$ ).

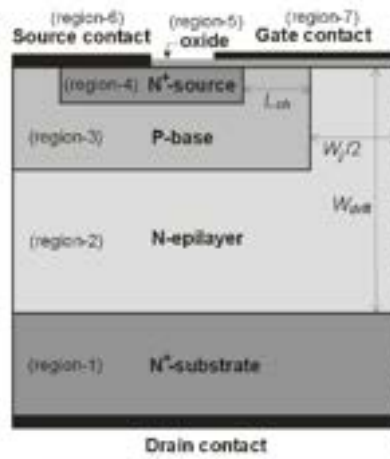


Figura 2. Sezione trasversale della semicella MOSFET (disegno non in scala).

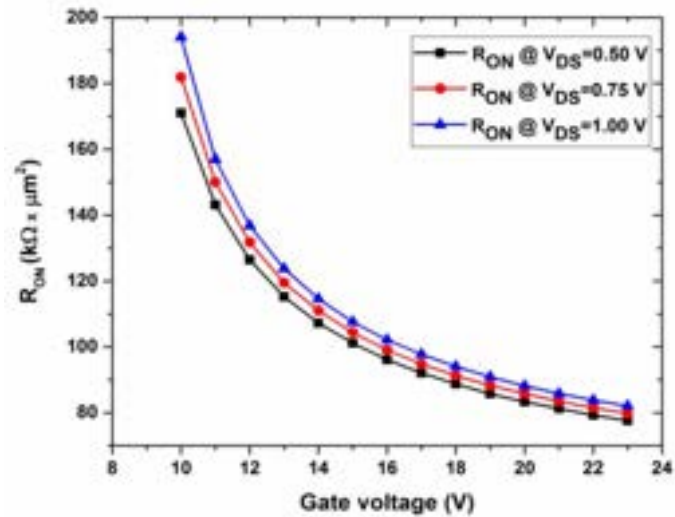


Figura 3.  $R_{ON}$  in funzione della  $V_{GS}$  per tre differenti valori della tensione  $V_{DS}$ .

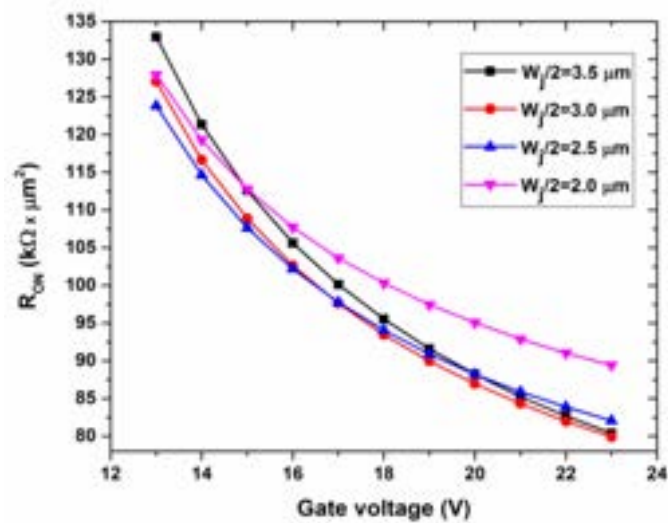


Figura 4.  $R_{ON}$  in funzione della  $V_{GS}$  per differenti valori della  $W_j/2$  valutata a  $V_{DS} = 1V$ .

## 2.2 Analisi in transitorio

Per i MOSFET utilizzati in applicazioni switching, come ad esempio nei convertitori DC-DC, la dissipazione di potenza statica dovuta alla  $R_{ON}$  è tanto importante quanto la dissipazione di potenza dinamica durante le fasi di accensione e spegnimento (transitori), governate dalle fasi di carica e scarica delle capacità parassite esistenti all'interno del dispositivo [2, 5]. Per i MOSFET di potenza viene adoperato un fattore di qualità che tiene conto della carica di gate (Eq.6) che deve essere trasferita/rimossa alla capacità di gate, in modo da garantire le fasi ON ed OFF dello switch.

$$Q_G = \int_{t_1}^{t_2} i_g \cdot dt \quad (6)$$

La capacità di gate  $C_G$  è costituita principalmente dalla somma delle capacità gate-source ( $C_{GS}$ ) e di quella gate-drain ( $C_{GD}$ ). Essa può essere ridotta attraverso due approcci distinti, quello progettuale e quello tecnologico. Ovviamente in questa fase ci siamo concentrati sull'aspetto progettuale, osservando che è possibile ridurre il valore delle capacità di gate riducendo il drogaggio della regione epitassiale ( $N_{epi}$ ). Purtroppo questa soluzione comporta un incremento del valore della  $R_{ON}$ , cosicché il miglior valor della  $C_G$  è dato dal trade-off fra questi parametri.

Sono state, quindi, svolte simulazioni numeriche del dispositivo durante le fasi transitorie di accensione e spegnimento adottando il circuito rappresentato in Fig. 5. In esso è stato considerato un resistore di carico  $R_L$  ed un resistore per il pilotaggio del MOSFET  $R_G$ . Il MOSFET, simulato con una  $W_j/2 = 2.5 \mu\text{m}$  ed un'area di contatto di drain di  $6.5 \mu\text{m}^2$ , è stato pilotato con un impulso di tensione di differenti ampiezze massime (da 10 V a 23 V, in passi di 1 V) con tempi di salita e discesa di 100 ps. In Fig. 6 è riportato, per un impulso di gate di 16 V applicato per un tempo  $t = 5 \text{ ns}$  a partire dall'istante 4 ns, l'andamento di tensione/corrente al nodo di drain, dalla zona di *CUTOFF* ( $V_{DS} = 75 \text{ V}$ ) a quella in cui opera in piena potenza ( $V_{DS} \approx 1 \text{ V}$ ), ( $V_{DD} = 75 \text{ V}$ ).

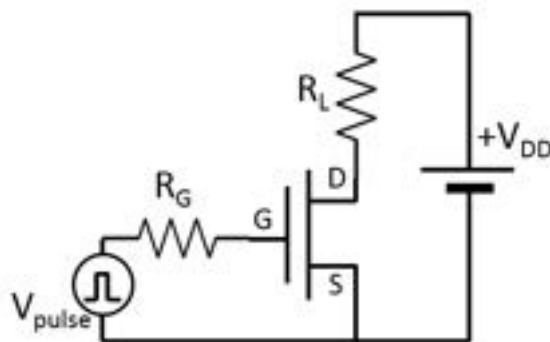


Figura 5. Circuito per il test del MOSFET durante l'analisi in transitorio:  $R_G = 100 \Omega$ ,  $R_L = 5.6 \text{ M}\Omega$ ,  $V_{DD} = 75 \text{ V}$ .

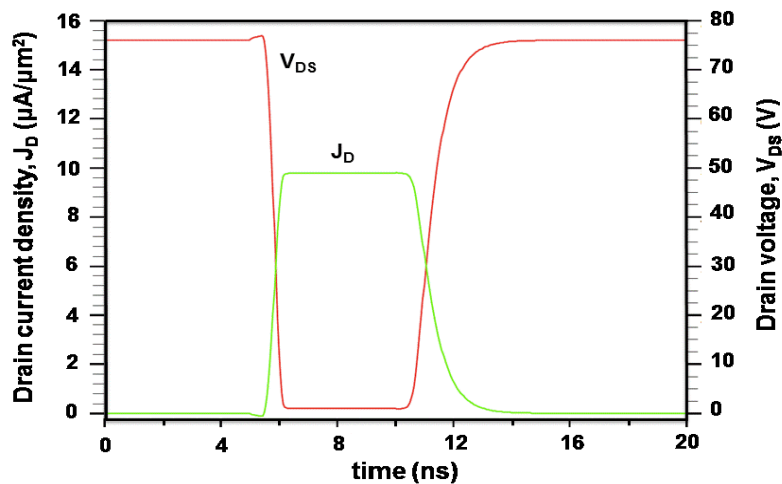


Figura 6. Analisi in transitorio (off-on-off) del MOSFET a temperature ambiente.

In Tab.2 sono confrontati i tempi di accensione  $t_{on}$  relativi al dispositivo attuale ed a quello messo a punto durante il primo anno della ricerca.

Tabella 2. Tempi di commutazione del MOSFET.

$t_{on}=t_d+t_r$ [ns]	
Dispositivo attuale	Dispositivo precedente
1,8	2,1

### 2.3 Carica di Gate e Figura di Merito

Integrando il plot della corrente di gate nell'intervallo di commutazione, è stata calcolata la carica di gate  $Q_G$  per unità di area in funzione della  $V_{GS}$ , così come riportato in Fig. 7.

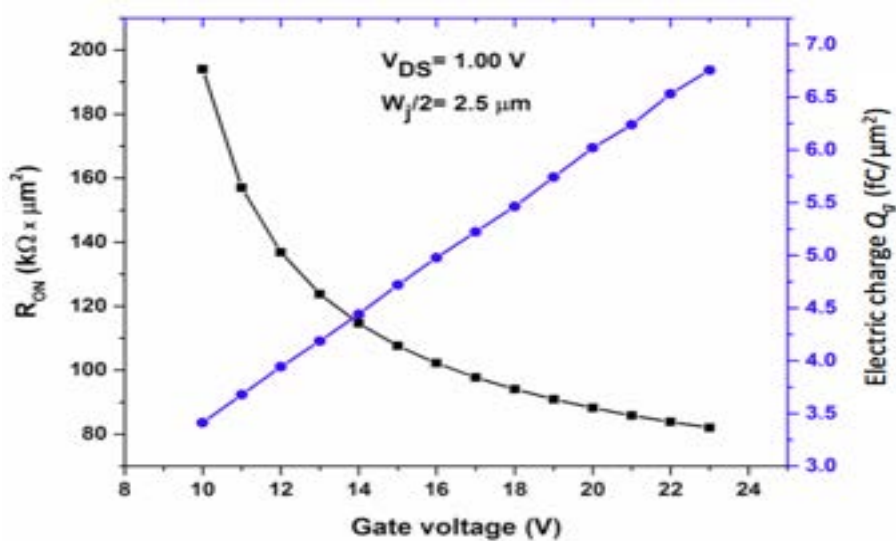


Figura 7.  $R_{ON}$  e  $Q_G$  in funzione della  $V_{GS}$ .

E' necessario notare che la  $Q_g$  ottenuta è circa tre volte più grande di quella calcolata per il dispositivo oggetto di studio nella prima annualità del progetto. Questo risultato dipende principalmente dal fatto che, per migliorare le caratteristiche statiche, è stata aumentata la densità di drogante nella regione p-base, dove si forma il canale del MOSFET. Ciò provava, infatti, una riduzione dello spessore della regione di carica spaziale presente sotto l'ossido di gate.

Nonostante ciò, il valore ottenuto applicando in gate un impulso  $V_{GS}=13V$ , pari a circa  $4 \text{ fC}/\mu\text{m}^2$ , resta in linea con quello caratteristico di dispositivi commerciali. Ad esempio, per il MOSFET C3M0280090D, che ha un'area di  $2,1 \text{ mm}^2$ , esso è pari a  $4,5 \text{ fC}/\mu\text{m}^2$ .

### 3. Studio della dipendenza dalla temperatura delle caratteristiche del MOSFET 4H-SiC

#### 3.1 Introduzione ed obiettivi

L'ampia band gap che caratterizza il Carburo di Silicio, in particolare nella sua forma cristallina 4H-SiC ( $E_{g(300)} = 3.23$  eV) [2], rende questo semiconduttore particolarmente interessante per la fabbricazione di dispositivi elettronici destinati a lavorare in un ampio intervallo di temperature al di sopra della temperatura ambiente. Questa caratteristica, comune a tutti i semiconduttori ad ampia band gap, deriva dalla bassa concentrazione di portatori intrinseci presenti a temperatura ambiente ( $n_i = 2 \times 10^{-8}$  cm<sup>-3</sup> a 300 K). In considerazione del ben noto legame esponenziale fra concentrazione intrinseca e temperatura, questa caratteristica consente, infatti, al materiale di mantenere bassa la concentrazione dei portatori nelle regioni poco drogate, quale, ad esempio, la regione di drift dei MOSFET di potenza, fino a temperature teoricamente molto elevate (600 K ed oltre), evitando di condizionare eccessivamente il funzionamento del dispositivo. Nelle realizzazioni pratiche, questa potenziale estensione dell'intervallo operativo in temperatura viene, però, ridotta a causa di problematiche di natura tecnologica, quale, ad esempio, il deterioramento della qualità dei contatti ohmici.

In considerazione dell'uso che si intende fare del 4H-SiC MOSFET nei convertitori SMPPT, destinati ad essere installati e restare operativi per decenni a bordo dei moduli fotovoltaici, in condizioni ambientali certamente stressanti, si è ritenuto opportuno svolgere uno studio delle caratteristiche del dispositivo in un più ampio intervallo di temperature rispetto all'annualità precedente.

Tale analisi si è basata su simulazioni fisiche numeriche del dispositivo, svolte in ambiente Atlas. In particolare, è stata studiata la dipendenza dalla temperatura dei due parametri caratteristici del MOSFET che maggiormente risentono delle variazioni di temperatura, la resistenza nello stato ON ( $R_{ON}$ ) e la tensione di soglia ( $V_{th}$ ).

#### 3.2 Fenomeni fisici alla base della dipendenza delle caratteristiche dalla temperatura

In questo paragrafo vengono richiamati i principali fenomeni fisici che determinano la dipendenza della corrente di drain  $I_D$  dalla temperatura in un MOSFET, nonché i modelli fisici ed i principali parametri utilizzati durante le simulazioni [3, 4]:

Vita media dei portatori e fenomeni di ricombinazione: il tempo di vita dei portatori all'interno delle regioni fortemente drogate è stato calcolato attraverso la seguente formula empirica:

$$\tau_{n,p(emitter)} = \frac{\tau_{n,p(base)}}{1 + \left(\frac{N}{N_{n,p}}\right)^2} \quad (7)$$

dove  $N$  è la densità di drogaggio per lo strato di emissione (catodo o anodo) altamente drogato, e  $N_{n,p}$  è un parametro caratteristico per elettroni e lacune, rispettivamente, dipendenti sia dal materiale che dal processo di fabbricazione del diodo.

Il valore di  $N_{n,p}$  utilizzato nelle simulazioni è pari a  $7 \times 10^{16}$  cm<sup>-3</sup>.

Questi valori riguardanti la vita media dei portatori, funzione della concentrazione delle impurità, aiutano a definire meglio il modello di ricombinazione di *Shockley-Read-Hall* all'interno della maggior parte dei 4H-SiC utilizzando la seguente espressione:

$$R_{SRH} = \frac{pn - n_i^2}{\tau_n [n + n_i \exp(\frac{E_{TRAP}}{kT})] + \tau_p [p + n_i \exp(-\frac{E_{TRAP}}{kT})]} \quad (8)$$

dove  $n_i$  è la concentrazione intrinseca effettiva dei portatori e  $E_{TRAP}$  è la differenza tra il livello di energia *Trap* e il livello intrinseco di *Fermi*.

Oltre alla ricombinazione *SRH*, è stata considerata la ricombinazione *Auger*, calcolata con il seguente modello nel quale occorre assegnare i coefficienti  $C_p$  e  $C_n$  :

$$R_{Au} = (C_n n + C_p p)(np - n_i^2) \quad (9)$$

Incompleta ionizzazione degli atomi droganti: L'ambiente Atlas tiene conto della ionizzazione incompleta di impurezze droganti usando le statistiche di *Fermi-Dirac*, assumendo un singolo livello donore o accettore. In questo caso, la concentrazione ionizzata di donori e accettori,  $N_A^-$  e  $N_D^+$ , è espressa in questo modo:

$$N_A^- = \frac{N_A}{1 + g_A \exp(\frac{E_A - E_{Fp}}{kT})} \quad (10)$$

$$N_D^+ = \frac{N_D}{1 + g_D \exp(\frac{E_{Fn} - E_D}{kT})} \quad (11)$$

dove  $N_A$  e  $N_p$  sono le concentrazioni di atomi droganti di tipo *N* e di tipo *P*;  $E_A$  e  $E_D$  sono i livelli di energia dell'atomo accettore e dell'atomo donatore;  $E_{Fn}$  e  $E_{Fp}$  sono i livelli di energia prossimi al livello di Fermi di lacune e elettroni; mentre  $g_A$  e  $g_D$  sono adeguati fattori di degenerazione per la banda conduzione e di valenza.

Mobilità dei portatori: le mobilità dei portatori vengono modificate tramite il modello analitico di Caughey e Thomas, e usate come parametri variabili per l'ottimizzazione delle caratteristiche J-V di diodi sperimentali e simulati, attraverso l'intero range di temperatura considerato:

$$\mu_{n,p} = \mu_{n,p}^{min} + \frac{\mu_{n,p}^{max} - \mu_{n,p}^{min}}{1 + \left(\frac{T}{300K}\right)^{\gamma_{n,p}} \left(\frac{N}{N_{n,p}^{crit}}\right)^{\delta_{n,p}}} \quad (12)$$

In questo caso  $N$  è la densità di drogaggio totale e  $N_{n,p}^{crit}$  è la concentrazione drogante per la quale la mobilità ha un valore medio tra il suo valore massimo e il suo valore minimo.

Sia  $\mu_{n,p}^{min}$  che  $\mu_{n,p}^{max}$  sono parametri dipendenti dalla temperatura secondo le seguenti relazioni:

$$\mu_{n,p}^{min} = \mu_{0n,p}^{min} \left(\frac{T}{300K}\right)^{\alpha_{n,p}} \quad (13)$$

$$\mu_{n,p}^{max} = \mu_{0n,p}^{max} \left(\frac{T}{300K}\right)^{\beta_{n,p}} \quad (14)$$

con  $\mu_{0n,p}^{min}$  e  $\mu_{0n,p}^{max}$  valori stimati di mobilità a temperatura ambiente (300 K); mentre,  $\alpha, \beta, \gamma, \delta$  sono coefficienti specifici.

Resistenze di contatto: durante lo sviluppo iniziale dei MOSFET di potenza, la resistenza di contatto della regione di source è stata migliorata utilizzando un processo di metallizzazione basato su alluminio. Questo metodo ha, tuttavia, reso relativamente alto il valore della resistenza di contatto sulla regione  $N^+$ . Con l'avvento dei metallo-siliciuri per contatti ohmici, la resistenza di contatto di source è, ora, molto più piccola rispetto alle altre componenti resistive [3], per cui essa è stata, di fatto, ignorata durante le nostre simulazioni. Relativamente alla resistenza di contatto di drain, essa è, in genere, trascurabile in considerazione dell'ampia area del contatto. Per quanto riguarda, infine, la resistenza di gate, essa è stata assunta non trascurabile ( $R_G=100 \Omega$ ) in considerazione della piccola impronta del contatto.

Tensione di soglia (Threshold Voltage,  $V_{th}$ ): è definita come la minima tensione tra gate e source che è necessaria per creare un percorso conduttivo tra source e drain. Chiamata anche tensione di gate e, talvolta, anche indicata come  $V_{GS}(th)$ , essa è uno dei parametri più significativi nello studio della dipendenza della temperatura. Un piccolo cambiamento della tensione di soglia crea un grande cambiamento nella corrente d'uscita. Questo fenomeno è stato studiato con simulazioni ad hoc i cui risultati sono presentati più avanti.

Corrente di dispersione (Leakage Current): essa è definita come la corrente che scorre tra drain e source quando la tensione di gate è in stato di *CUTOFF*, e, dunque, il canale tra drain e source è considerato spento. Un eventuale aumento di temperatura provoca un aumento esponenziale della concentrazione intrinseca dei portatori. Ad alte temperature, l'aumento della corrente di dispersione influenza la corrente totale.

### 3.3 Risultati delle simulazioni: la dipendenza di $R_{ON}$

Nelle nostre simulazioni sul dispositivo schematicamente rappresentato in Fig. 8, è stata considerata una temperatura compresa fra 300 K fino a 450 K, in passi di 50 K, per osservare la funzione caratteristica della  $I_{DS}$  in funzione della  $V_{DS}$ , all'aumentare della  $V_{GS}$  (Fig. 9). Il MOSFET ha uno spessore, perpendicolare al foglio, pari ad 1  $\mu m$ .

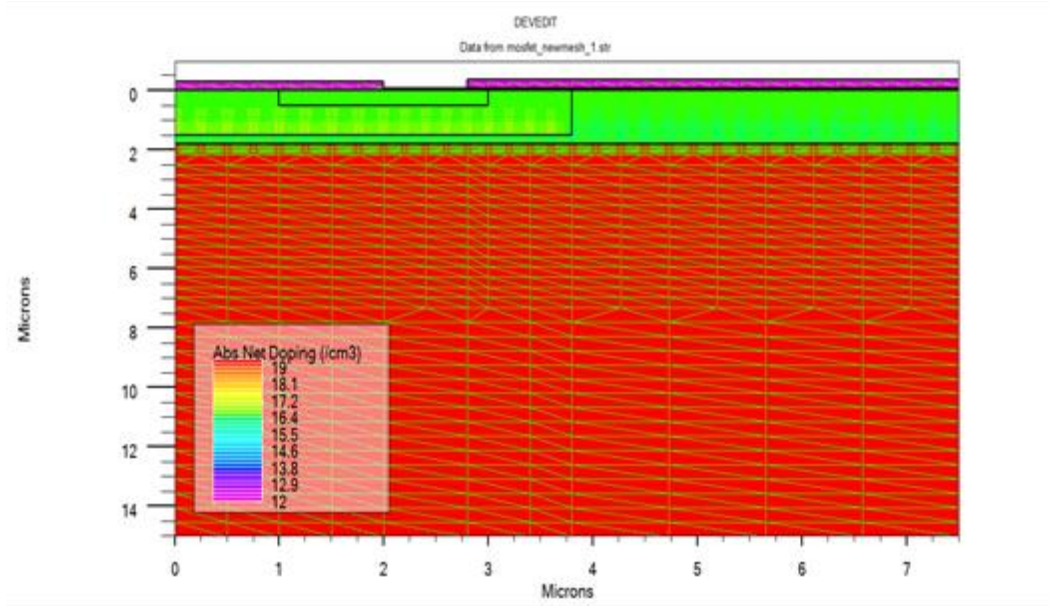


Figura 8. Sezione del 4H-SiC MOSFET simulato.

Le curve che seguono rappresentano le suddette caratteristiche di uscita.

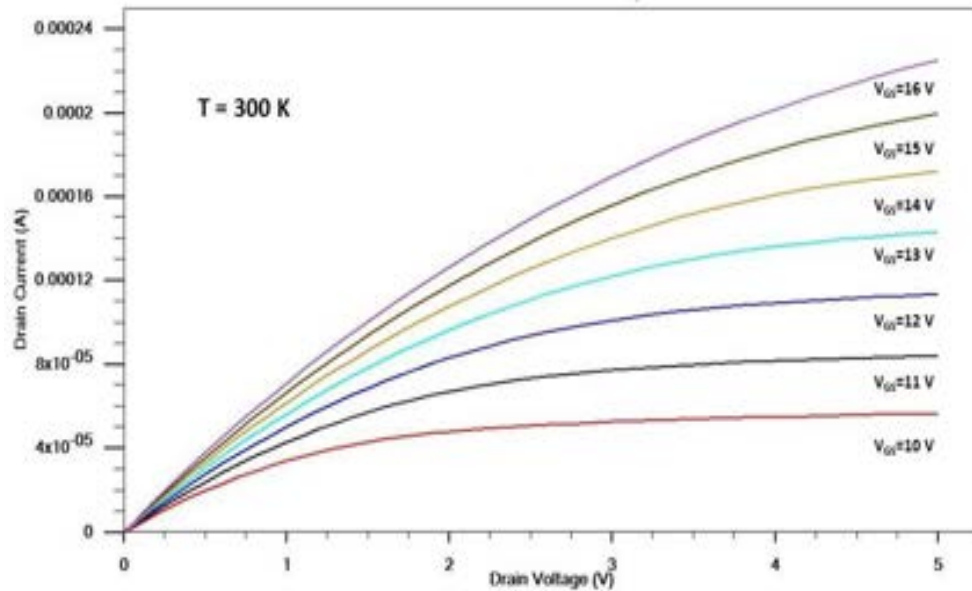


Figura 9.  $I_{DS}$  al variare della  $V_{DS}$  per  $T = 300$  K e  $V_{GS}$  compreso tra 10 V e 16 V.

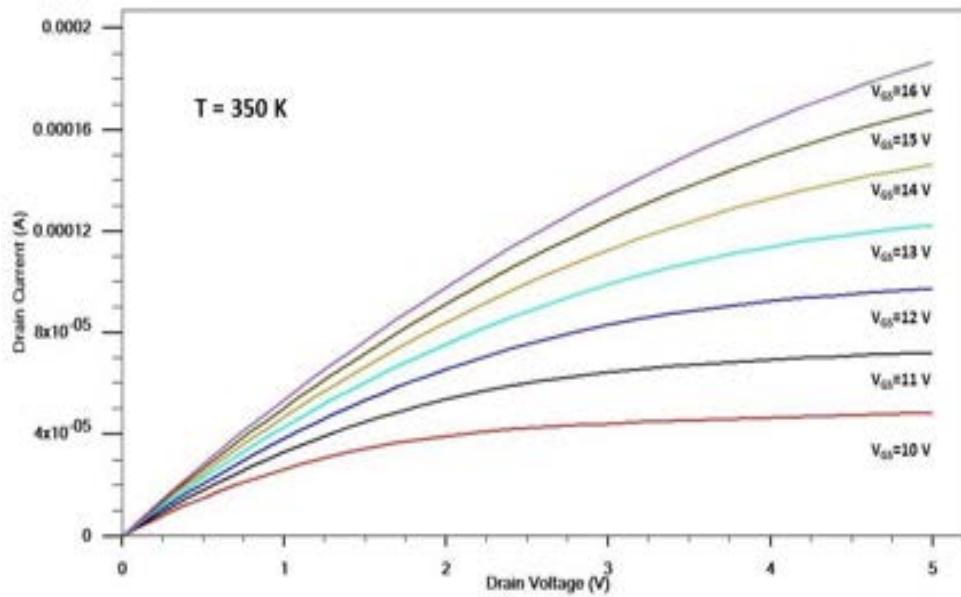


Figura 10. Caratteristiche di uscita del MOSFET per  $T = 350$  K e  $V_{GS}$  compreso tra 10 V e 16 V.

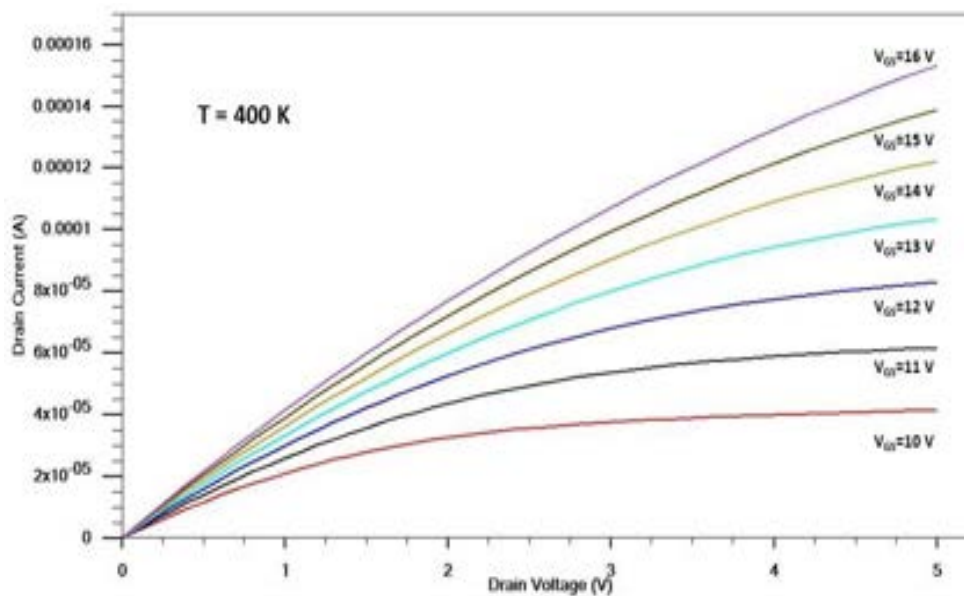


Figura 11. Caratteristiche di uscita del MOSFET per  $T = 400$  K e  $V_{GS}$  compreso tra 10 V e 16 V.

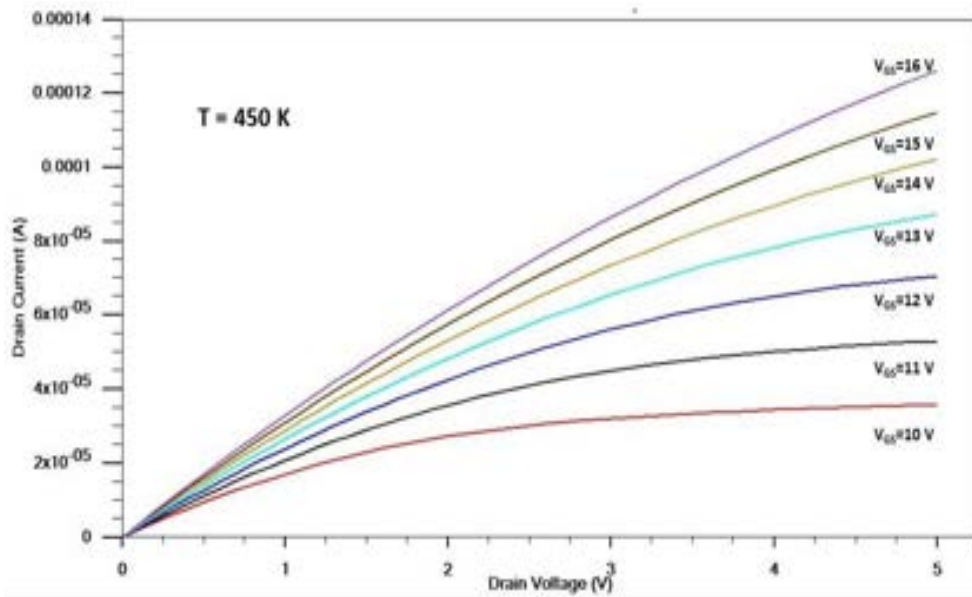


Figura 12. Caratteristiche di uscita del MOSFET per  $T = 450\text{ K}$  e  $V_{GS}$  compreso tra 10 V e 16 V.

È possibile notare che la corrente subisce una riduzione all'aumentare della temperatura, fenomeno imputabile prevalentemente alla riduzione della mobilità dei portatori.

Considerando lo stesso range di temperatura, con incrementi di 25 K, è stata calcolata la  $R_{ON}$  per i valori di  $V_{DS}$  più interessanti ai fini delle applicazioni switching. Tale resistenza è stata calcolata mediante l'Eq. 15 considerando valori di  $V_{DS} = (0,60; 0,75; 1,00)$  V e  $V_{GS} = (13 \div 16)$  V con incrementi di 0.5 V.

$$R_{ON} = \frac{V_{DS}}{I_{DS}} \quad (15)$$

Sono riportati, di seguito, i grafici dei valori della  $R_{ON}$  al variare della temperatura per ogni valore di  $V_{DS}$  considerato:

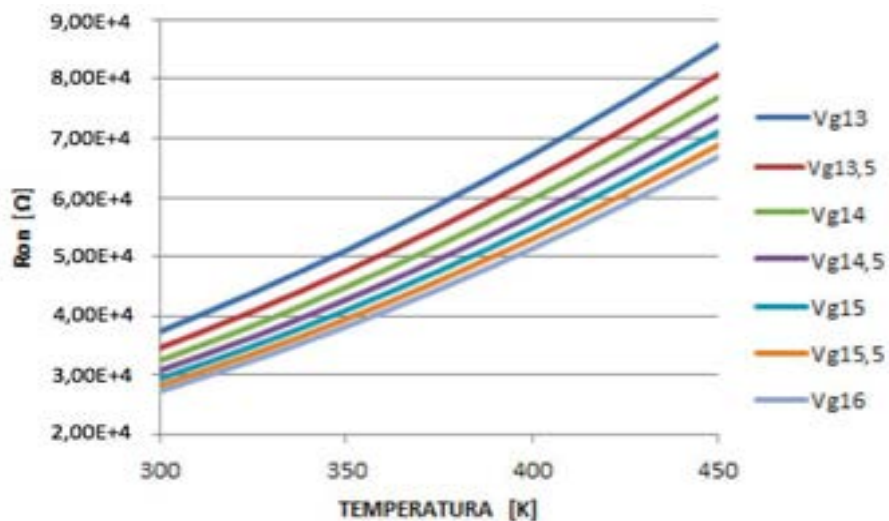


Figura 13. Andamento della  $R_{ON}$  per  $V_{DS} = 0,5\text{ V}$  al variare della temperatura e per distinti valori della  $V_{GS}$ .

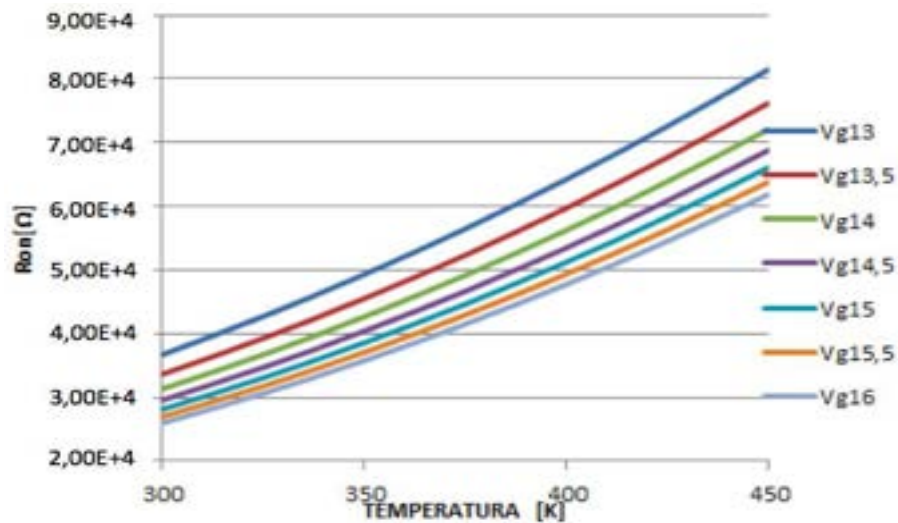


Figura 14. Andamento della  $R_{ON}$  per  $V_{DS} = 0,75$  V al variare della temperatura e per distinti valori della  $V_{GS}$ .

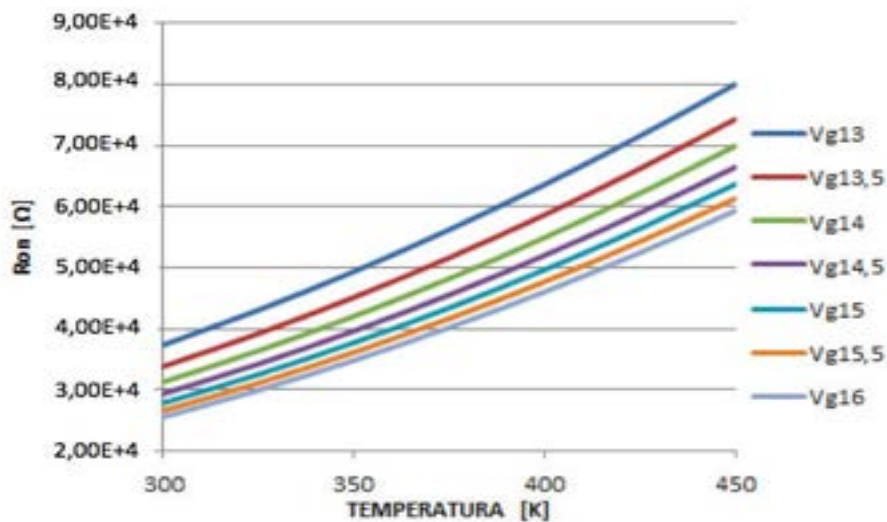


Figura 15. Andamento della  $R_{ON}$  per  $V_{DS} = 1,00$  V al variare della temperatura e per distinti valori della  $V_{GS}$ .

Come si può osservare, l'aumento della temperatura produce sempre un aumento della resistenza  $R_{ON}$ . Il fenomeno è approssimativamente lineare e la resistenza di stato ON aumenta di circa 2.5 volte tra 300 K e 450 K. L'obiettivo che ci si è posto è stato, dunque, di individuare i parametri su cui è possibile agire per ridurre queste variazioni in funzione della temperatura. Un primo studio ha riguardato l'impatto della lunghezza del canale tra la regione *P-base* e la regione *N-drift*, alla quale sono stati, pertanto, assegnati due diversi valori: 1,0  $\mu\text{m}$  e 0,8  $\mu\text{m}$ . Queste simulazioni sono state svolte considerando una  $V_{GS}$  da 8 V a 18 V, per valori di  $V_{DS}$  pari a 0,50 V, 0,75 V, 1,00 V. Qui di seguito si riporta l'andamento della  $I_{DS}$  in funzione della  $V_{DS}$ , per valori di  $V_{GS}$  pari a 14 V, 15 V, 16 V, 17 V, 18 V.

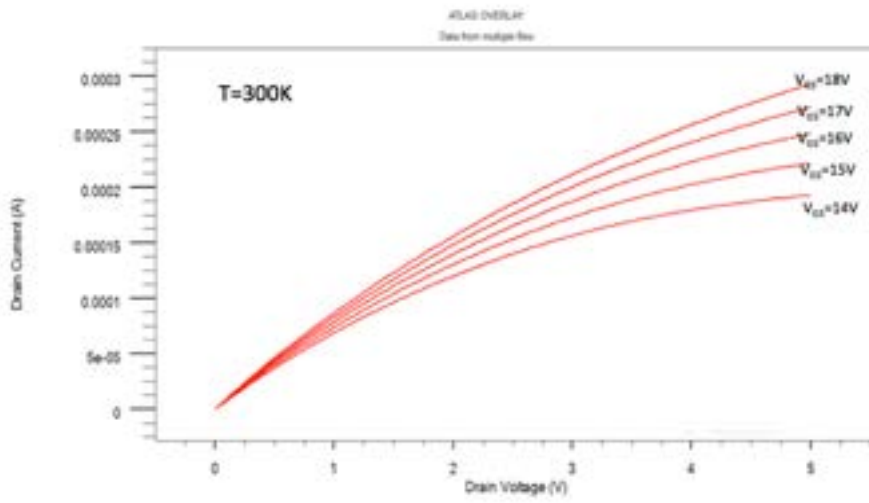


Figura 16. Andamento della  $I_{DS}$  per un valore di temperatura  $T = 300$  K al variare della  $V_{DS}$  per distinti valori della  $V_{GS}$ . Lunghezza del  $L_{ch} = 0,8 \mu m$ .

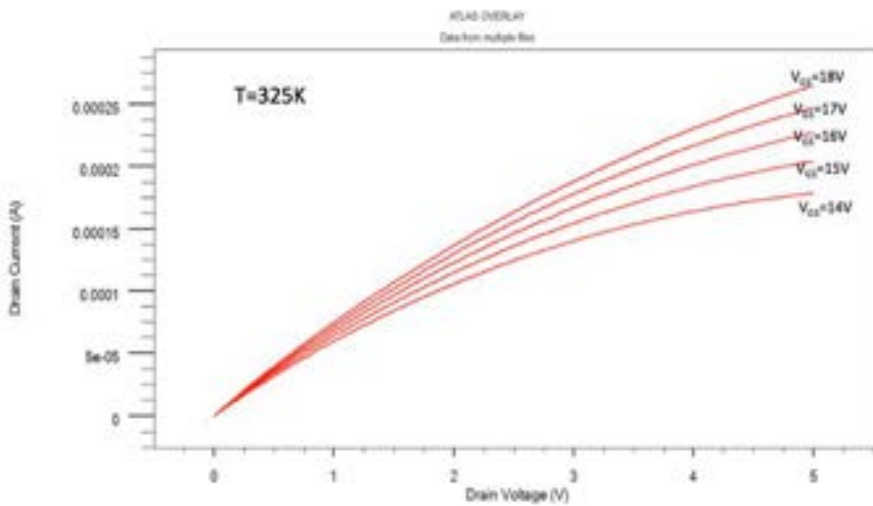


Figura 17. Andamento della  $I_{DS}$  per un valore di temperatura  $T = 325$  K al variare della  $V_{DS}$  per distinti valori della  $V_{GS}$ . Lunghezza del  $L_{ch} = 0,8 \mu m$ .

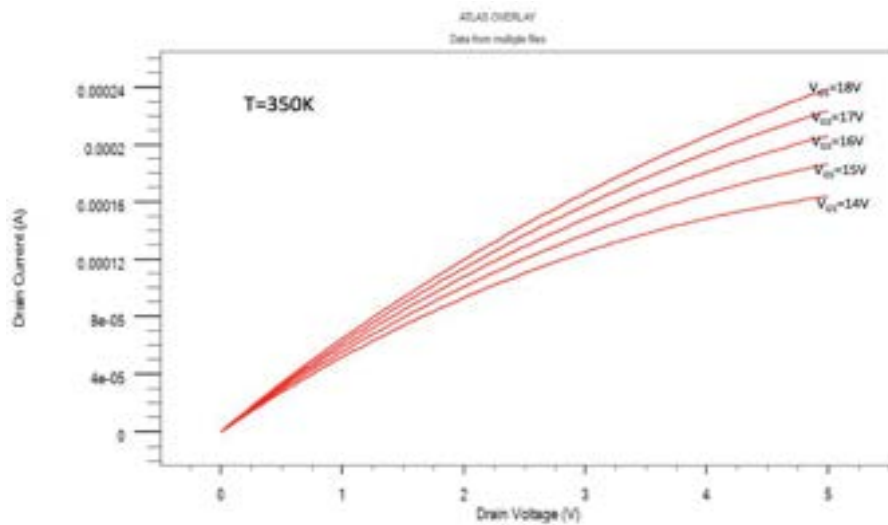


Figura 18. Andamento della  $I_{DS}$  per un valore di temperatura  $T = 350$  K al variare della  $V_{DS}$  per distinti valori della  $V_{GS}$ . Lunghezza del  $L_{ch} = 0,8 \mu m$ .

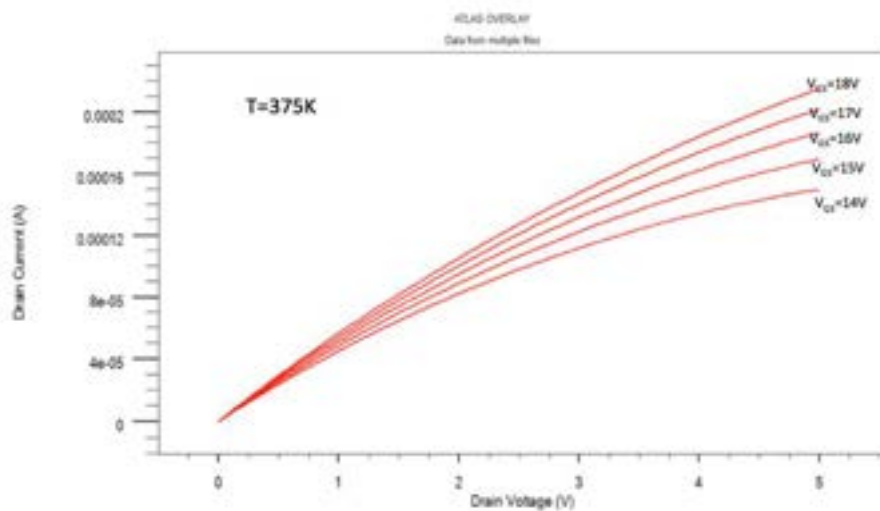


Figura 19. Andamento della  $I_{DS}$  per un valore di temperatura  $T = 375$  K al variare della  $V_{DS}$  per distinti valori della  $V_{GS}$ . Lunghezza del  $L_{ch} = 0,8 \mu m$ .

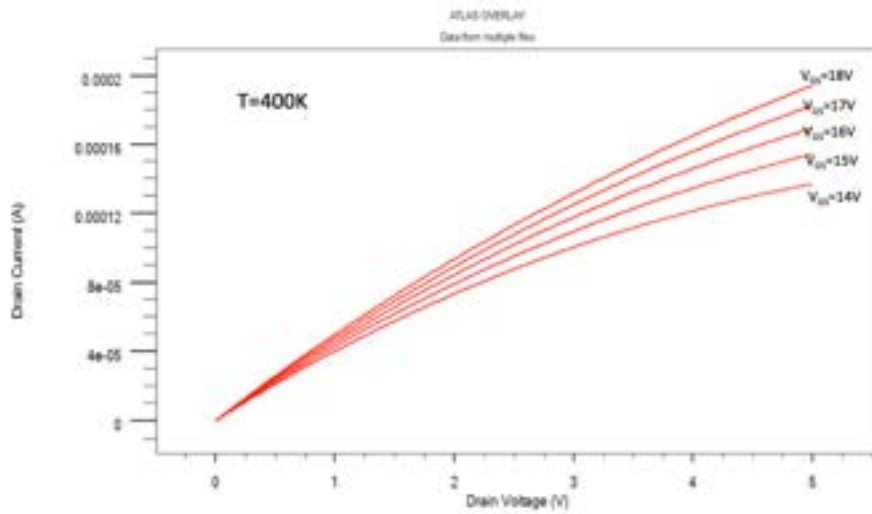


Figura 20. Andamento della  $I_{DS}$  per un valore di temperatura=400 K al variare della  $V_{DS}$  per distinti valori della  $V_{GS}$ . Lunghezza del  $L_{ch} = 0,8 \mu m$ .

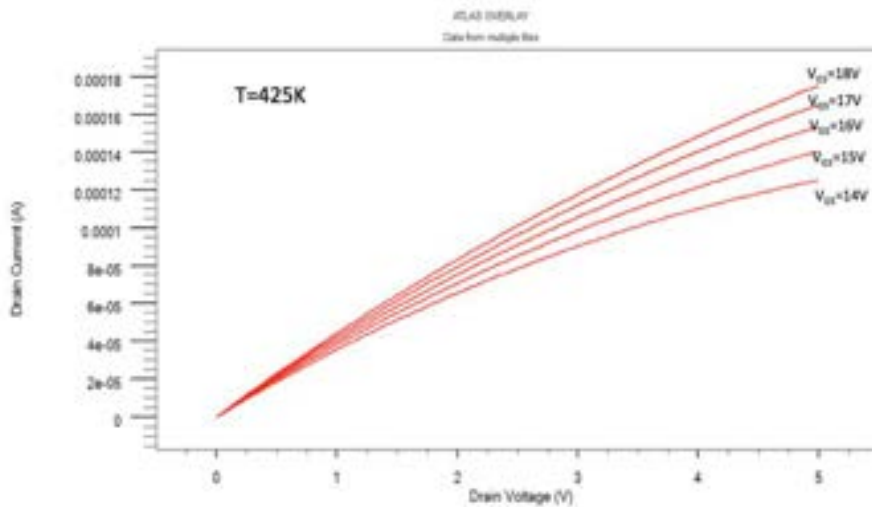


Figura 21. Andamento della  $I_{DS}$  per un valore di temperatura=425 K al variare della  $V_{DS}$  per distinti valori della  $V_{GS}$ . Lunghezza del  $L_{ch} = 0,8 \mu m$ .

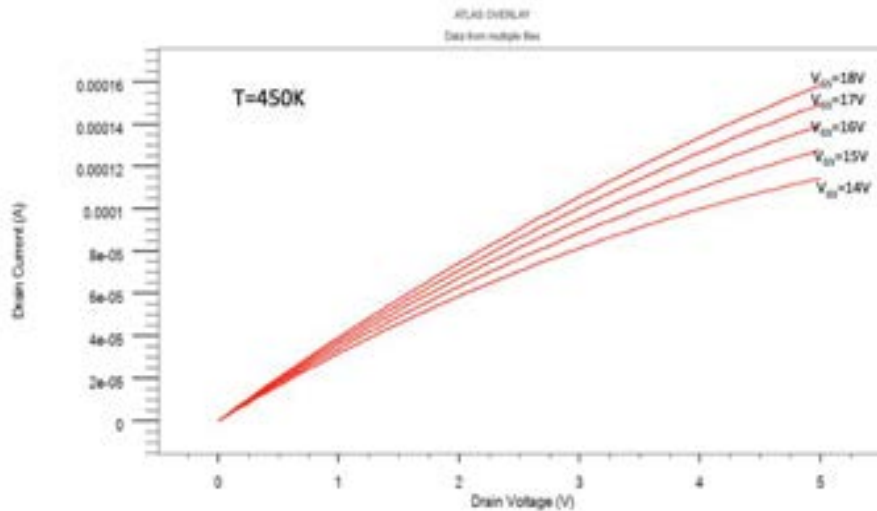


Figura 22. Andamento della  $I_{DS}$  per un valore di temperatura=450 K al variare della  $V_{DS}$  per distinti valori della  $V_{GS}$ . Lunghezza del  $L_{ch} = 0,8 \mu\text{m}$ .

Particolarmente interessante può risultare il confronto diretto fra le  $I_{DS}$  calcolate ad una  $V_{GS}$  fissata (16 V) per temperature in un ampio intervallo (300 K - 450 K), e per tre valori di  $V_{DS}$  (0,50 V, 0,75 V, 1,00 V). I valori calcolati sono riportati nella Fig. 23.

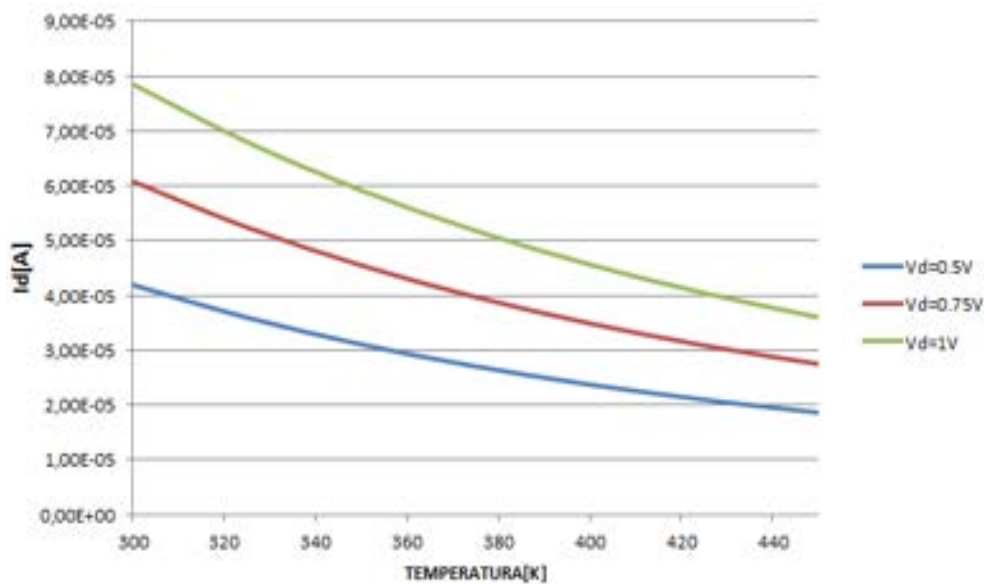


Figura 23.  $I_{DS}$  al variare della temperatura, per distinti valori della  $V_{DS} = (0,50, 0,75, 1,00)$  V. Lunghezza del  $L_{ch} = 0,8 \mu\text{m}$ .

Successivamente è stato calcolato il valore della  $R_{ON}$  per i vari valori considerati della  $V_{GS}$  e della  $V_{DS}$ . I grafici sotto riportati sono stati tracciati per un MOSFET avente lunghezza di canale  $L_{ch}=0,8 \mu\text{m}$  e spessore (estensione lungo l'asse Z) pari ad  $1,0 \mu\text{m}$  e larghezza (asse X) pari a  $7,5 \mu\text{m}$  (area del dispositivo  $A = 7,5 \mu\text{m}^2$ ).

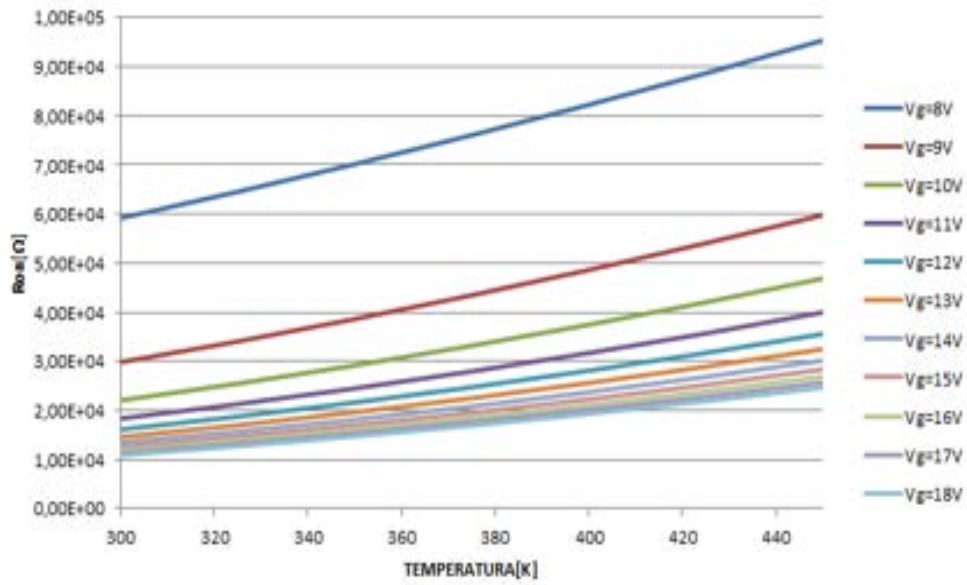


Figura 24. Andamento della  $R_{ON}$  per  $V_{DS} = 0,50$  V, al variare della temperatura e per distinti valori della  $V_{GS}$ . Lunghezza canale  $L_{ch} = 0,8$  μm.

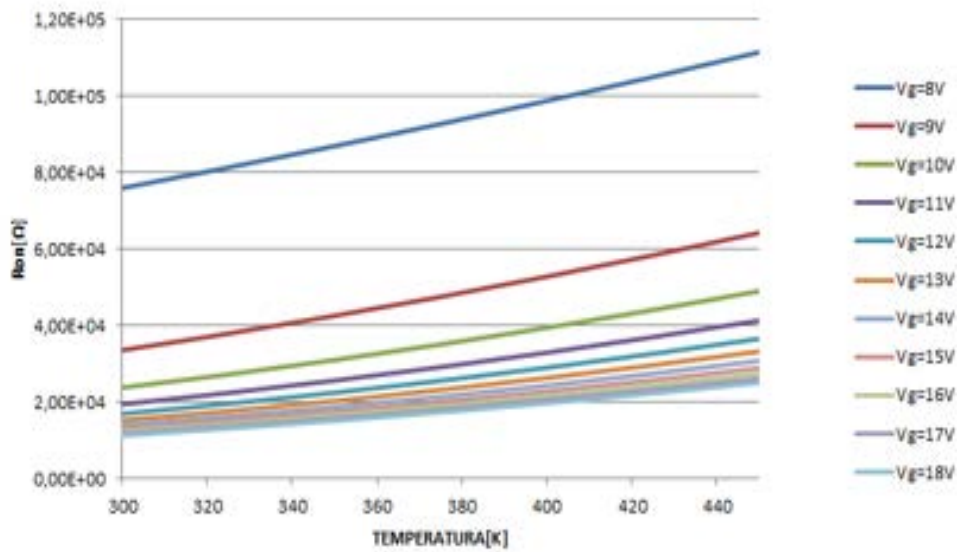
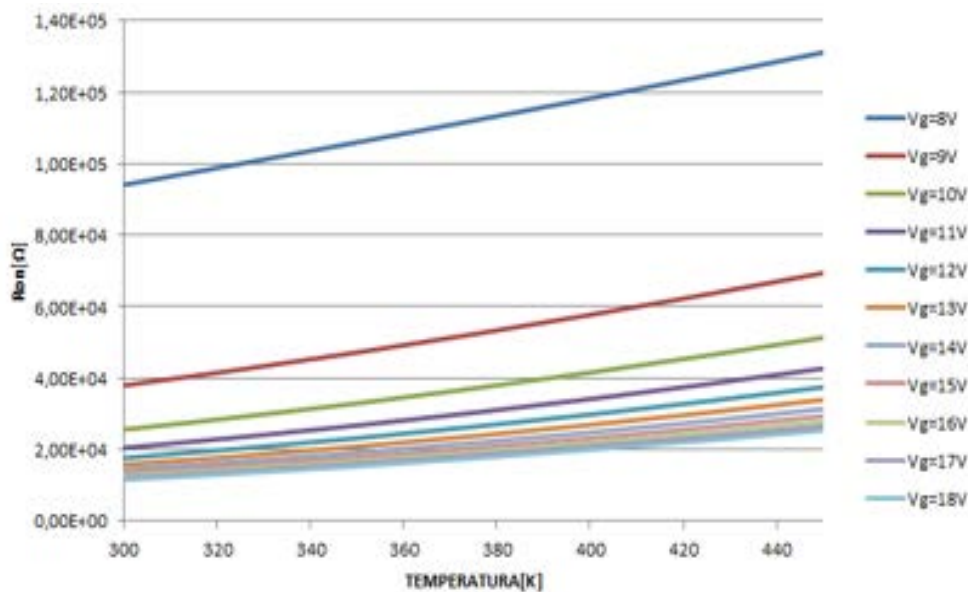


Figura 25. Andamento della  $R_{ON}$  per  $V_{DS} = 0,75$  V, al variare della temperatura e per distinti valori della  $V_{GS}$ . Lunghezza canale  $L_{ch} = 0,8$  μm.



**Figura 26. Andamento della  $R_{ON}$  per  $V_{DS} = 1$  V, al variare della temperatura e per distinti valori della  $V_{GS}$ . Lunghezza canale  $L_{ch} = 0,8 \mu\text{m}$ .**

Come per il dispositivo con lunghezza di canale  $L_{ch} = 1,0 \mu\text{m}$ , anche in questo caso, è facilmente osservabile una dipendenza pressoché lineare della  $R_{ON}$  dalla  $T$ , per valori di  $V_{GS}$  tra 14 V e 18 V. Infatti, per valori operativi della  $V_{GS}$ , il dispositivo con canale corto ( $L_{ch}=0,8 \mu\text{m}$ ) mostra circa un raddoppio della  $R_{ON}$  tra 300 K e 450 K, mentre il dispositivo a canale lungo mostrava un aumento percentualmente maggiore, pari a circa 2,5 volte (Figure 13, 14 e 15).

Un ulteriore studio è stato svolto per confrontare la variazione percentuale della  $R_{ON}$  per valori di temperatura pari a 300 K, 350 K, 400 K, 450 K. Anche questa analisi viene riportata per i due valori della lunghezza di canale considerati in precedenza ( $L_{ch} = 1,0 \mu\text{m}$ ,  $L_{ch} = 0,8 \mu\text{m}$ ).

Relativamente ad un dispositivo con  $L_{ch} = 1,0 \mu\text{m}$  risultano i valori riportati nella Tab. 3. Le variazioni percentuali sono calcolate rispetto ai valori della  $R_{ON}$  a  $T = 300$  K.

**Tabella 3. Variazione percentuale in aumento della  $R_{ON}$  per il MOSFET con  $L_{ch} = 1,0 \mu\text{m}$ .**

	Temperatura [K]		
$V_{DS}$ [V]	350	400	450
0,50	40%	88%	144%
0,75	38%	84%	138%
1,00	36%	80%	132%

Relativamente ad un dispositivo con  $L_{ch} = 0,8 \mu\text{m}$ , le variazioni percentuali sono riportate in Tab.4:

**Tabella 4. Variazione percentuale in aumento della  $R_{ON}$  per il MOSFET con  $L_{ch} = 0,8 \mu\text{m}$ .**

	Temperatura [K]		
$V_{DS}$ [V]	350	400	450
0,50	35%	77%	125%
0,75	34%	74%	122%
1,00	33%	72%	118%

Dai valori riportati nelle due tabelle si evince che la minore sensibilità della  $R_{ON}$  al variare della temperatura si manifesta in entrambi i dispositivi a  $V_{DS} = 1,00$  V, ed il dispositivo meno sensibile risulta quello con canale più corto.

### 3.3 Risultati delle simulazioni: la dipendenza di $V_{th}$

Successivamente allo studio dell'incidenza dei fenomeni termici sulla  $R_{ON}$ , l'attenzione è stata concentrata sull'analisi della dipendenza della tensione di soglia  $V_{th}$  dalla temperatura. Dopo lo studio dell'andamento della  $I_{DS}$  in funzione della  $V_{GS}$ , attraverso l'intercetta della tangente alle caratteristiche della  $I_{DS}$  con l'asse delle ascisse in regione di triodo, è stato ricavato questo importante parametro definito come la minima tensione alla quale inizia a scorrere una corrente significativa nel dispositivo. In particolare, il valore della  $V_{th}$  è stato ricavato mediante la seguente procedura:

1. si considerano le caratteristiche della  $I_{DS}$  in funzione della  $V_{GS}$ ;
2. si traccia, per ogni caratteristica dipendente dalla temperatura, la tangente fino al valore di  $V_{GS}$  corrispondente (sull'asse delle ascisse). Tale valore rappresenta, per definizione, la tensione di soglia di quella particolare caratteristica;
3. I valori di  $V_{th}$  vengono tracciati in funzione di valori di temperatura.

Tale studio è stato effettuato per entrambi i valori di lunghezza di canale considerati ( $1,0 \mu\text{m}$ ;  $0,8 \mu\text{m}$ ) e per due valori di  $V_{DS}$  ( $0,50$  V,  $1,00$  V).

Considerando  $L_{ch} = 1,0 \mu\text{m}$ , viene riportato, in Figura 27, l'andamento della  $V_{th}$  in funzione della temperatura per valori di  $V_{DS} = 0,50$  V.

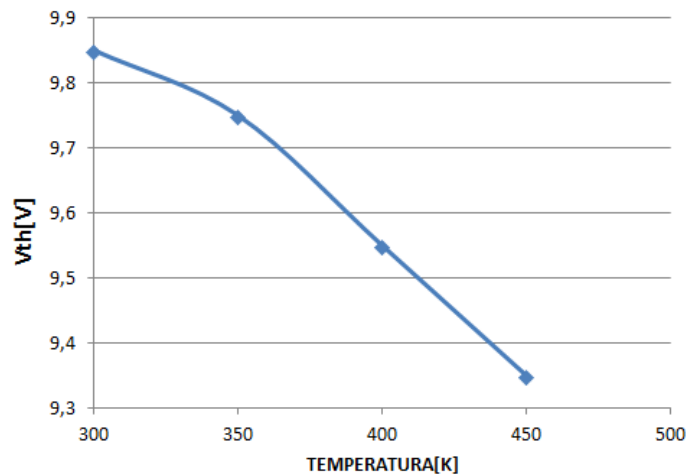


Figura 27.  $V_{th}$  per  $V_{DS} = 0,50$  V per un valore di  $V_{GS} = 16$  V al variare della temperatura.

Sempre considerando  $L_{ch} = 1,0 \mu\text{m}$ , viene riportato l'andamento della  $V_{th}$  in funzione della temperatura per valori di  $V_{DS} = 1,00$  V.

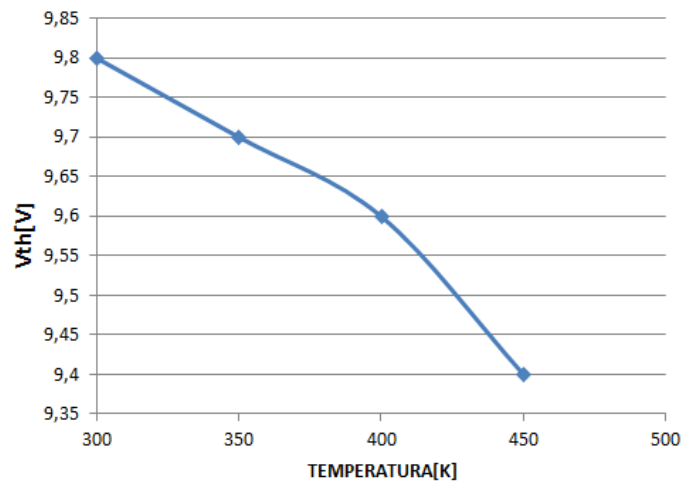


Figura 28.  $V_{th}$  per  $V_{DS} = 1,0$  V, per un valore di  $V_{GS} = 16$  V, al variare della temperatura.

Successivamente, dopo aver ridotto la lunghezza del canale a  $L_{ch} = 0,8 \mu\text{m}$ , è stato effettuato lo stesso studio dell'andamento della  $V_{th}$  in funzione della temperatura, per gli stessi valori di  $V_{DS}$ . I risultati sono sintetizzati nel grafico seguente:

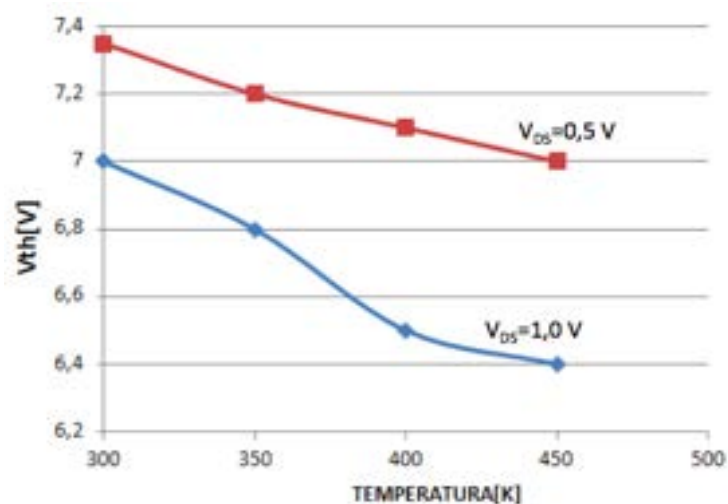


Figura 29.  $V_{th}$  per  $V_{DS} = (0,50$  V;  $1,00)$ , per un valore di  $V_{GS} = 16$  V, al variare della temperatura.

I valori riportati nei grafici sono stati riassunti nelle seguenti tabelle, che riportano anche la variazione percentuale della tensione di soglia in funzione della temperatura.

Tabella 5. Valori della tensione di soglia  $V_{th}$  e relativa variazione percentuale rispetto al valore assunto a  $T = 300$  K. Lunghezza di canale  $L_{ch} = 1,0 \mu\text{m}$ ,  $V_{DS} = 0,50$  V.

T [K]	V <sub>th</sub> [V]	$\Delta V_{th}$ [%]
300	9,85	
350	9,75	-1%
400	9,55	-3%
450	9,35	-5%

Sono riportate in Tab.6, le variazioni percentuali per ogni valore di temperatura, considerando  $L_{ch} = 1,0 \mu\text{m}$  e  $V_{DS} = 1,00 \text{ V}$ .

**Tabella 6. Valori della tensione di soglia  $V_{th}$  e relativa variazione percentuale rispetto al valore assunto a  $T = 300 \text{ K}$ . Lunghezza di canale  $L_{ch} = 1,0 \mu\text{m}$ ,  $V_{DS} = 1,0 \text{ V}$ .**

T [K]	Vth [V]	$\Delta V_{th}$ [%]
300	9,80	
350	9,70	-1%
400	9,60	-2%
450	9,40	-4%

In Tab.7 Sono riportate le variazioni percentuali per ogni valore di temperatura, considerando  $L_{ch} = 0,8 \mu\text{m}$ .

**Tabella 7. Valori della tensione di soglia  $V_{th}$  e relativa variazione percentuale rispetto al valore assunto a  $T = 300 \text{ K}$ . Lunghezza di canale  $L_{ch} = 0,8 \mu\text{m}$ ,  $V_{DS} = 0,50 \text{ V}$ .**

T [K]	Vth [V]	$\Delta V_{th}$ [%]
300	7,00	
350	6,80	-3%
400	6,50	-7%
450	6,40	-9%

Sono riportati, di seguito, le variazioni percentuali per ogni valore di temperatura, considerando  $L_{ch} = 0,8 \mu\text{m}$  e  $V_{DS} = 1,00 \text{ V}$ .

**Tabella 8. Valori della tensione di soglia  $V_{th}$  e relativa variazione percentuale rispetto al valore assunto a  $T = 300 \text{ K}$ . Lunghezza di canale  $L_{ch} = 0,8 \mu\text{m}$ ,  $V_{DS} = 1,0 \text{ V}$ .**

T [K]	Vth [V]	$\Delta V_{th}$ [%]
300	7,30	
350	7,20	-2%
400	7,10	-3%
450	7,00	-5%

Lo studio svolto porta a concludere che la tensione di soglia  $V_{th}$  presenta una minore sensibilità alla temperatura in presenza di un canale più lungo, quando la  $V_{DS}$  nello stato ON è fissata al valore di  $1,00 \text{ V}$ . Resta quindi da valutare, in fase di progetto del MOSFET, il miglior trade-off fra la variazione della ON-state resistance ( $R_{ON}$ ) e la variazione della tensione di soglia ( $V_{th}$ ) [7, 8].

## 4. Studio di modelli SPICE del MOSFET di potenza in 4H-SiC

### 4.1 Introduzione

La ricerca e l'industria dispongono di diversi software per la simulazione circuitale e per l'estrazione dei parametri SPICE di un dispositivo dimensionato per una specifica applicazione. Tra i software più usati vi sono:

- *HSPICE (Synopsys)*
- *PSPICE (Cadence)*
- *Eldo (Mentor Graphics)*
- *Multisim (Electronics Workbench)*
- *LTspice (Linear Technology Corporation)*

Allo stesso modo, ogni software adotta differenti algoritmi; alcuni di essi sono di tipo proprietario, altri di tipo Open-Source. La scelta del modello SPICE da adottare viene fatta sulla base del tipo di simulazioni e risultati attesi, per cui esistono diversi modelli SPICE per simulare i MOSFET, e la scelta di quello più opportuno si basa sui particolari parametri elettrici che si vogliono ricavare e sulle proprietà da modellare.

I modelli SPICE di livello 1, 2 e 3 sono quelli maggiormente utilizzati per la simulazione di dispositivi con lunghezza di canale dell'ordine dei decimi di micron. Se si vuole tener conto anche dei parametri più evoluti, in termini sia dei parametri fisici sia di precisione numerica o dei processi tecnologici, si può adottare un modello BSIM (Berkeley Short Channel IGFET Model). Esso è declinato principalmente nelle varianti BSIM1, BSIM3, BSIM4, BSIM6, etc, le quali permettono di scalare i parametri del modello in funzione della geometria stessa del MOSFET [9]. Questi modelli sono, però, indicati per dispositivi submicrometrici planari e, dunque, non saranno presi in considerazione per il nostro MOSFET verticale di potenza. Tornando ai modelli fondamentali, qui di seguito, si sintetizzano le principali caratteristiche:

**LEVEL-1:** Il primo livello non essendo particolarmente fine e dettagliato, permette di ottenere velocemente risultati abbastanza accurati per simulazioni digitali o switching, ma non per applicazioni analogiche.

**LEVEL-2:** Il secondo livello è particolarmente adatto per modellizzare effetti di cariche elettriche in regioni bulk sulla corrente  $I_{DS}$ ; questo rende utile questo modello per circuiti analogici con correnti elettriche di valore molto basso, tipicamente  $I_{DS}$  da 1  $\mu$ A fino a circa 1 nA.

**LEVEL-3:** Il terzo livello permette di realizzare simulazioni che convergono meglio e più velocemente ai risultati rispetto a quelli ottenuti col modello LEVEL-2 e, per questo motivo, è anche uno dei modelli più utilizzati. È un modello semi-empirico sviluppato nel 1980, il cui algoritmo richiede parametri che possono essere determinati da caratterizzazioni sperimentali (p.es. a temperatura ambiente) e/o simulazioni numeriche. Questo modello calcola le capacità di overlap ( $C_{GDO}$ ,  $C_{GSO}$ ,  $C_{GBO}$ ) per la valutazione delle caratteristiche corrente-tensione della regione attiva del MOSFET (vedi Fig. 30).

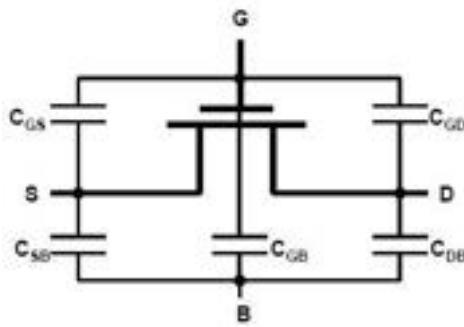


Figura 30. Capacità parassite del MOSFET.

Il modello considera la capacità di overlap associata all’ossido di gate, come distribuita fra gate, source, drain e regione di bulk. I parametri dei modelli MOSFET di livello 1, 2 e 3 sono suddivisi in tre categorie:

- Parametri assoluti del dispositivo
- Parametri scalabili e di processo del dispositivo
- Parametri geometrici

## 4.2 Definizione dei modelli SPICE

### 4.2.1 Parametri dei modelli SPICE per MOSFET verticali LEVEL-3

Le equazioni dei modelli MOSFET sono derivate da analisi in DC, AC e in transitorio. Un generatore che eroga la corrente  $I_{DS}$  è il principale componente del circuito equivalente del MOSFET, anche se, durante le analisi in AC, esso non è utilizzato. In AC, vengono valutate le derivate parziali della  $I_{DS}$  rispetto ai terminali a cui è applicata la tensione elettrica  $V_{DS}$ ,  $V_{GS}$ ,  $V_{BS}$ . Sono, quindi, definiti i seguenti parametri [10]:

**Conduttanza di uscita:**

$$g_{ds} = \frac{\partial I_{ds}}{\partial V_{ds}} \quad (16)$$

**Transconduttanza:**

$$g_m = \frac{\partial I_{ds}}{\partial V_{gs}} \quad (17)$$

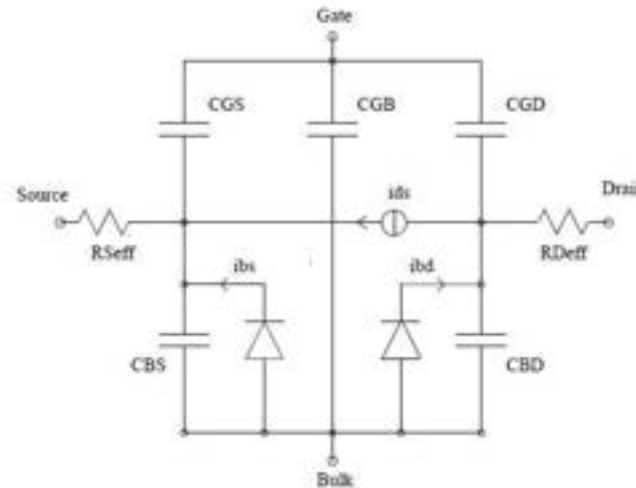
**Transconduttanza Bulk:**

$$g_{mbs} = \frac{\partial I_{ds}}{\partial V_{bs}} \quad (18)$$

La capacità di gate, la ionizzazione da impatto (che nel nostro dispositivo segue i parametri del *modello Baliga* [3, 9], e i diodi presenti fra source e drain sono tutti modellati separatamente dalla corrente  $I_{DS}$ .

In Fig. 31 è riportato il circuito equivalente di un MOSFET per analisi in DC ed in transitorio, ricordando che, in DC, tutte le capacità sono ignorate. Durante le fasi di simulazione in AC, le sorgenti di rumore sono ignorate.

Tutte le capacità parassite sono di tipo non lineare, per cui non sono parametri costanti, ma variano in funzione delle tensioni applicate ai terminali del dispositivo. In particolare, i valori delle capacità connesse alla gate cambiano a seconda della regione di funzionamento del MOSFET [11].



**Figura 31. Circuito equivalente del MOSFET per analisi parametrica in DC ed in transitorio.**

#### 4.2.2 Capacità del MOSFET per il modello LEVEL-3

Il modello è stato originariamente sviluppato per dispositivi planari e successivamente modificato per strutture di tipo verticale [11].

In regione di *CUTOFF* il canale non è formato, quindi gate, source e drain sono isolati; tutta la capacità dell'ossido ( $C_{OX} \cdot W \cdot L$ ) è quella tra gate e body:

$$C_{GB} = C_{OX} \cdot W \cdot L, C_{GS} = 0, C_{GD} = 0 \quad (19)$$

In regione di *TRIODO* si è formato il canale che risulta uniformemente distribuito sotto il gate. Il body è isolato dal gate a causa della presenza del canale stesso, mentre la capacità dell'ossido si suddivide fra le giunzioni gate-drain e gate-source:

$$C_{GB} = 0, C_{GS} = C_{OX} \cdot W \cdot L / 2, C_{GD} = C_{OX} \cdot W \cdot L / 2 \quad (20)$$

In regione di saturazione il canale si strozza, quindi, viene meno la capacità fra gate-drain e la capacità dell'ossido si associa, in parte al source:

$$C_{GB} = 0, C_{GS} = 2/3(C_{OX} \cdot W \cdot L), C_{GD} = 0 \quad (21)$$

Fra le giunzioni gate-drain e gate-source è sempre presente anche una capacità di sovrapposizione (overlap capacitance) del gate in polisilicio con le aree di drain e di gate. La capacità di overlap, è proporzionale alla lunghezza del canale  $L_{ch}$ , mentre le capacità parassite di overlap risultano proporzionali all'area di sovrapposizione, ciò si traspare nelle seguenti equazioni (modellizzate per il modello LEVEL-3):

$$C_{GSO} = C_{OX} \cdot X_d \cdot W = C_{OV} \cdot W \tag{22}$$

$$C_{GDO} = C_{OX} \cdot X_d \cdot W = C_{OV} \cdot W \tag{23}$$

Il parametro  $X_d$  è una costante del processo per cui non è possibile valutarla nella prima fase di progetto. Riguardo le capacità di diffusione di source e di drain, esse contano due contributi: l'area e il perimetro della zona di diffusione. Questi contributi sono non lineari e dipendono dalla tensione applicata, e se ne può tener conto sostituendoli con due capacità equivalenti costanti (nel range di tensioni di interesse). L'area di source e di drain è proporzionale alla dimensione  $W$ :

$$A_D = W \cdot Z, \quad A_S = W \cdot Z \tag{24}$$

Il perimetro viene calcolato non considerando il fatto che un lato confina col canale:

$$P_D = W + 2Z, \quad P_S = W + 2Z \tag{25}$$

I valori equivalenti delle due capacità di diffusione sono dati da:

$$C_{SB} = K_{eq} \cdot (C_{J0} A_S + C_{JSW0} P_S) \tag{26}$$

$$C_{DB} = K_{eq} \cdot (C_{J0} A_D + C_{JSW0} P_D) \tag{27}$$

dove i parametri  $C_{J0}$  e  $C_{JSW0}$  sono costanti del processo tecnologico, e la  $K_{eq}$  dipende dal range di tensioni operative.

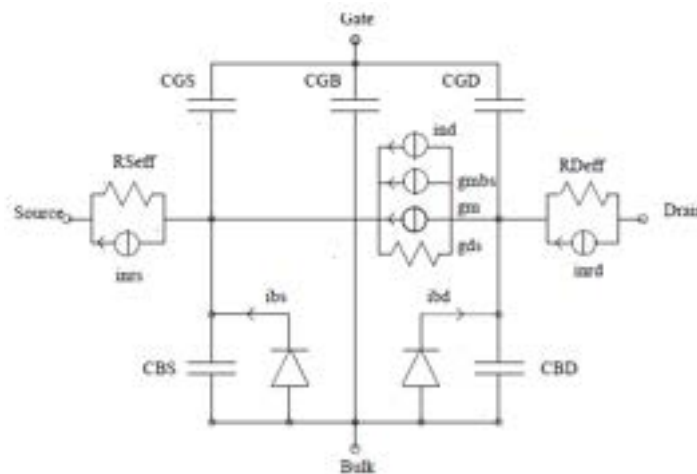
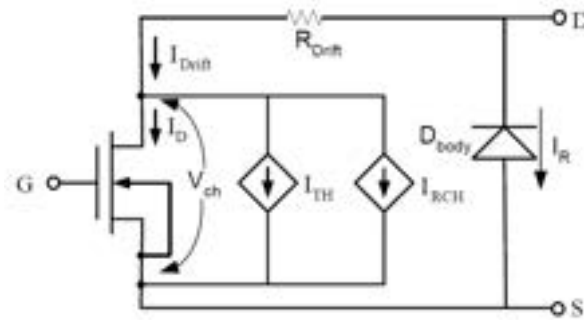


Figura 32. Circuito equivalente del MOSFET per analisi parametrica in AC e rumore [8].

Per il nostro dispositivo è stato valutato un modello SPICE per un MOSFET di tipo verticale la cui rappresentazione circuitale è riportata in Fig. 32 [12]. Esso usa un MOSFET laterale, ma con la resistenza

della regione di drift in serie al percorso di corrente, mentre, la corrente di body (leakage) è compresa tra i contatti di drain e di source. La resistenza di canale, che gioca un ruolo importante in un MOSFET di tipo verticale, varia con la tensione di gate, mentre le resistenze di contatto di drain e di source non sono considerate perché ritenute trascurabili rispetto alla resistenza di canale ed a quella di drift.



**Figura 33. Modello MOSFET con compensazione in temperatura.**

Il modello LEVEL-3 consente di inserire elementi circuitali atti a tener conto della compensazione in temperatura attraverso le tre correnti di compensazione:  $I_{TH}$ ,  $I_{RCH}$ ,  $I_R$ .

La corrente di leakage  $I_R$  è valutata a 300 K. Essa dipende dalla tensione di soglia  $I_{TH}$  e dalla resistenza della regione di contatto drain-source,  $I_{RDS}$ .

Il circuito di Fig. 33 riporta il modello del MOSFET con compensazione in temperatura, in cui sono riportati i generatori di corrente che tengono in conto delle dipendenze suddette.

La corrente di drain  $I_D$  è mantenuta costante per tutte le temperature di esercizio, ed è data dalle seguenti equazioni, ottenute dal modello "charge sheet" del MOSFET, rispettivamente in regione lineare e di saturazione [12]:

$$I_D = \frac{W}{L} \mu_n C_{ox} \left[ (V_{GS} - V_{TH}) - \frac{V_{DS}}{2} \right] V_{ch} \quad (28)$$

La corrente totale è data da:

$$I_{total} = I_D + I_R \quad (29)$$

dove la  $I_R$  rappresenta la corrente inversa che scorre nel diodo di body.

La tensione di drain è espressa da:

$$V_{DS} = V_{ch} + V_{drift} \quad (30)$$

$$V_{drift} = R_{drift} \cdot I_{drift} \quad (31)$$

La corrente di drift è data da:

$$I_{drift} = I_D + I_{TH} + I_{RCH} \quad (32)$$

in cui le correnti  $I_{TH}$  ed  $I_{RCH}$  sono calcolabili da:

$$I_{TH} = \frac{W}{L} \mu_n C_{ox} [V_{TH}' - V_{TH}] V_{ch} \quad (33)$$

$$I_{TH,sat} = \frac{W}{2L} \mu_n C_{ox} [(V_{GS} - V_{TH}')^2 - (V_{GS} - V_{TH})^2] \quad (34)$$

$$I_{RCH} = \gamma V_{GS} \quad (35)$$

dove  $V_{TH}'$  è la tensione di soglia del dispositivo quando lavora in zona di saturazione e  $\gamma$  è definito come Body effect factor; per il modello SPICE LEVEL-3  $\gamma = 0,5276$  [13].

I MOSFET di potenza di tipo *DMOSFET* (*Double Diffusion MOSFET*) presentano un valore più elevato della resistenza di canale [3], dovuta principalmente ai seguenti fattori:

- l'elevata densità degli stati di interfaccia
- la rugosità superficiale
- la bassa qualità dell'ossido superficiale
- la bassa concentrazione di atomi droganti ionizzanti

Questi dispositivi, per accendersi, richiedono una più elevata tensione di gate rispetto ai dispositivi al Silicio. Nel modello circuitale di Fig. 33, gli effetti della resistenza di canale sono portati in conto dalla corrente  $I_{RCH}$ , la quale compensa elevati valori di corrente per le più elevate tensioni di gate. Ovviamente un modello SPICE può essere usato non utilizzando tutti i parametri e limitando le simulazioni alle sole variabili di interesse.

#### 4.2.3 Correnti di leakage e tensione di soglia del MOSFET

La corrente di leakage è proporzionale alla concentrazione di portatori intrinseci  $n_i$  a temperatura ambiente. Per il Carburo di Silicio questo valore è molto basso, motivo per cui la corrente di leakage è considerata trascurabile. La concentrazione intrinseca dei portatori  $n_i$  è data da [3]:

$$n_i = \sqrt{(N_c N_v)} \cdot \exp\left(-\frac{E_g}{2kT}\right) \quad (36)$$

dove  $N_c$  ed  $N_v$  sono le densità degli stati rispettivamente nella banda di conduzione e nella banda di valenza. Ad alte temperature il suo contributo alla corrente di leakage non è più trascurabile e nel modello MOSFET se ne tiene conto posizionando un diodo tra il drain ed il terminale di body. Questa scelta consente di aggiungere una sorgente di corrente (tra drain-source) che tenga conto della dipendenza dalla temperatura. Le caratteristiche del MOSFET dipendono dalla temperatura, quindi, la tensione di soglia ne è influenzata, ciò può essere spiegato attraverso i diagrammi a bande di un MOS (*Metal Oxide Semiconductor*). Il modello SPICE LEVEL-3 stima la tensione di soglia  $V_{TH}$  attraverso l'Eq.37 [3]:

$$V_{TH} = V_{fbo} - \frac{\Delta Q_{it}}{C_{ox}} \pm 2\Phi_f \pm \sqrt{2V_o (2|\Phi_f|)} \quad (37)$$

dove  $\Phi_f$  è il potenziale di superficie, dato da [3]:

$$\Phi_f = \frac{kT}{q} \ln\left(\frac{n}{n_i}\right) \quad (38)$$

#### 4.2.4 Equazioni del modello LEVEL-3

La corrente di drain è valutata nella regione di cut-off per ( $V_{GS} < V_{th}$ ) mentre in regione ON per ( $V_{GS} > V_{th}$ ) [13] risulta:

$$I_{DS} = \beta \cdot \left( V_{GS} - V_{th} - \frac{1+fb}{2} \cdot V_{DS} \right) \cdot V_{DS} \quad (39)$$

Dove il fattore  $fb$ , definito nell'Eq.42, è detto "Narrow width factor for adjusting threshold" ed è parametrizzato dal simulatore in base alla geometria del dispositivo ed al modello SPICE utilizzato. In particolare:

$$\beta = KP \cdot \frac{W_{eff}}{L_{eff}} \quad (40)$$

$$KP = \mu_{eff} \cdot COX \quad (41)$$

Dove  $u_{eff}$  per  $V_{GS} > V_{th}$  è il termine che tiene conto della degradazione della mobilità dovuta al campo laterale ed alla velocità di saturazione dei portatori, data dal parametro  $V_{MAX}$  specificato più avanti in questo stesso paragrafo .

$$fb = f_n + \frac{\Upsilon \cdot f_s}{4 \cdot \sqrt{\phi + V_{sb}}} \quad (42)$$

dove  $f_n$  specifica gli effetti di narrow-width, mentre  $f_s$  specifica quelli di canale corto (short-channel). Esse sono calcolabili da [13]:

$$f_n = \frac{DELTA}{W_{eff}} \cdot 0.25 \cdot \frac{2\pi \cdot E_{SiC}}{COX} \quad (43)$$

$$W_{eff} = W - 2(WD) \quad (44)$$

dove:

- $W_{eff}$  è la larghezza di canale effettiva.
- $W$  è la larghezza di canale.
- $WD$  è un altro parametro di simulazione, automaticamente calcolato dal simulatore e definito come *Delta Width*.

$$f_s = 1 - \frac{XJ_{scaled}}{L_{eff}} \Rightarrow \left\{ \frac{LD_{scaled} + WC}{XJ_{scaled}} \cdot \sqrt{1 - \left( \frac{W_p}{XJ_{scaled} + W_p} \right)^2} - \frac{LD_{scaled}}{XJ_{scaled}} \right\} \quad (45)$$

con:

-  $LD_{scaled}$  è la diffusione laterale. Tipicamente vale 0,016  $\mu\text{m}$  per dispositivo a canale  $N$  e 0,015  $\mu\text{m}$  per dispositivo a canale  $P$ .

-  $XJ_{scaled}$  è la profondità della giunzione metallurgica che tipicamente assume il valore di 0,2  $\mu\text{m}$  sia per dispositivi a canale  $N$  che a canale  $P$ .

-  $W_p$  definito nell'Eq.46 è il parametro che definisce la *polysilicon width*; per il modello LEVEL-3 assume il valore zero per default.

$$W_p = X_d \cdot \sqrt{\phi + V_{sb}} \quad (46)$$

dove:

$$X_d = \sqrt{\frac{2\varepsilon_s}{q \cdot NSUB \cdot 10^6}} \quad (47)$$

In dettaglio:

-  $NSUB$  è il drogaggio di substrato

-  $q$  è la carica elettrica

A causa dell'effetto di *pinch-off* dal lato del drain, il modello SPICE LEVEL-3 calcola la tensione di saturazione considerando il parametro  $V_{MAX}$ , il quale tiene conto della riduzione della tensione di saturazione a causa dell'effetto di saturazione della velocità dei portatori. Per questo motivo la tensione di saturazione e quella di saturazione del drain sono date da:

$$V_{sat} = \frac{V_{gs} - V_{th}}{1 + fb} \quad (48)$$

$$V_{D,sat} = V_{sat} + V_c - (V_{sat}^2 + V_c^2)^{0.5} \quad (49)$$

Le seguenti equazioni calcolano gli effetti della tensione di soglia, includendo le dimensioni del dispositivo e gli effetti della tensione ai terminali:

$$V_{th} = V_{bi} - \frac{8.14e-22}{COX \cdot L_{eff}^2} \Rightarrow ETA = V_{ds} + \gamma \cdot \sqrt{\phi + V_{sb}} \cdot f_s + f_n \cdot (\phi + V_{sb}) \quad (50)$$

dove  $ETA$  è un parametro che fornisce un feedback statico sulla tensione di soglia e riadatta. di conseguenza. tutti i valori dei potenziali in gioco.

Questa equazione calcola il valore  $V_{bi}$  usato nella precedente equazione (50):

$$V_{bi} = V_{fb} + \phi = VTO - GAMMA \cdot \sqrt{\phi} \quad (51)$$

Le seguenti equazioni consentono di determinare la lunghezza e la larghezza effettiva di canale:

$$\begin{cases} L_{eff} = L_{scaled} \cdot LMLT + XL_{scaled} - 2 \cdot (LD_{scaled} + DEL_{scaled}) \\ W_{eff} = M \cdot (W_{scaled} \cdot WMLT + XW_{scaled} - 2 \cdot WD_{scaled}) \end{cases} \quad (52)$$

Le Eq. 53 descrivono i valori di referenza [13]. Questi parametri sono, infatti, valutati solo se si tiene conto anche i processi tecnologici di produzione e, quindi, della litografia di processo.

$$\begin{cases} LREF_{eff} = LREF_{scaled} \cdot LMLT + XL_{scaled} - 2 \cdot (LD_{scaled} + DEL_{scaled}) \\ WREF_{eff} = M \cdot (WREF_{scaled} \cdot WMLT + XW_{scaled} - 2 \cdot WD_{scaled}) \end{cases} \quad (53)$$

dove:

- *DEL*, lunghezza di canale ridotta ad ogni lato
- *LD*, diffusione laterale nel canale dalla zona di diffusione di source e drain
- *LMLT*, fattore di restringimento del canale
- *LREF*, lunghezza di riferimento del canale
- *WD*, diffusione laterale nel canale dal bulk verso la larghezza del canale
- *WMLT*, layer di diffusione e fattore di restringimento della larghezza del canale
- *WREF*, larghezza di riferimento del canale
- *XL*, *XW*, parametri utilizzati per tener conto degli effetti di mascheratura ed etching

Prendendo in considerazione le equazioni della mobilità dei portatori e volendone valutare i contributi, è importante analizzare attentamente i modelli fisici da adottare sia nelle simulazioni Atlas del dispositivo, sia in quelle SPICE per la valutazione delle caratteristiche elettriche.

La mobilità di elettroni e lacune in semiconduttori drogati si riduce a causa dell'incremento degli effetti dei fononi che sono fortemente dipendenti dalla temperatura. Un modello per la mobilità degli elettroni nel Carburo di Silicio è stato studiato in [6] e mette in risalto la mobilità di bulk, ma, dato che la mobilità nello strato di inversione del SiC è molto minore di quella bulk, allora essa gioca un ruolo trascurabile. Invece, un'alta densità di stati di interfaccia gioca un ruolo importante nella mobilità dello strato d'inversione. Inizialmente la mobilità aumenta per una temperatura di lavoro compresa nell'intervallo di temperature 300 K – 500 K. Questo può essere dovuto all'iniziale movimento del livello di Fermi attraverso la band gap all'aumentare della temperatura.

D'altra parte, però, l'aumento è compensato da una riduzione del cammino libero medio causata dallo scattering reticolare, il quale produce cariche intrappolate all'interfaccia; in definitiva la mobilità dello strato di inversione è debolmente variabile nel range di temperature 300 K– 500 K considerato per il modello [6].

Il modello di estrazione rimodula i calcoli tenendo conto della riduzione della mobilità dei portatori dovuto al campo elettrico diretto lungo la direzione normale al canale, così la mobilità efficace superficiale  $\mu_s$  per  $V_{GS} > V_{th}$  risulta [13]:

$$\mu_s = \frac{UO}{1 + THETA \cdot (V_{gs} - V_{th})} \quad (54)$$

dove:

- $THETA$  ( $V^{-1}$ ) è un fattore che tiene conto della degradazione della mobilità.
- $UO$  ( $cm^2/Vs$ ) tiene conto del valore ridotto di mobilità nella zona di bulk.

$$VMAX > 0 \quad (55)$$

$$\mu_{eff} = \frac{\mu_s}{1 + \frac{V_{ds}}{V_c}} \quad (56)$$

$$\mu_{eff} = \mu_s \quad (57)$$

Le equazioni per la modulazione del canale si basano sulle seguenti due assunzioni [3] e per  $V_{DS} > V_{DS,sat}$  risulta:

$$\left\{ \begin{array}{l} VMAX = 0 \\ \Delta L = X_d \cdot \sqrt{KAPPA \cdot (V_{ds} - V_{dsat})} \end{array} \right. \quad (58)$$

$$\left\{ \begin{array}{l} VMAX > 0 \\ \Delta L = -\frac{E_p \cdot X_d^2}{2} + \sqrt{\left(\frac{E_p \cdot X_d^2}{2}\right)^2 + KAPPA \cdot X_d^2 \cdot (V_{ds} - V_{dsat})} \end{array} \right. \quad (59)$$

dove  $E_p$  è, così, definito:

$$E_p = \frac{V_c (V_c + V_{dsat})}{L_{eff} \cdot V_{dsat}} \quad (60)$$

e rappresenta il campo elettrico al punto di *pinch-off*.

#### 4.2.5 Modello VDMOS di LTspice

Il transistor MOSFET a doppia diffusione verticale (VDMOS) ha comportamenti qualitativamente diversi da quelli dei MOSFET planari. In particolare, il diodo drain-source di un transistor VDMOS è collegato in modo diverso ai terminali esterni rispetto al diodo di un MOSFET monolitico ed il comportamento non lineare della capacità gate-drain  $C_{GD}$  non può essere modellato in modo semplice, poiché la  $C_{GD}$  cambia

bruscamente per tensioni gate-drain prossime a zero. Quando la tensione di gate è negativa, la  $C_{GD}$  assume il valore della capacità di un condensatore in cui la gate costituisce uno degli elettrodi mentre l'altro elettrodo è il contatto di drain posto sul back del dispositivo. Ovviamente, dato l'elevato spessore della regione di drift, la  $C_{GD}$  assume, in questo caso, un valore molto basso. D'altra parte, quando  $V_{GS}$  è positiva, la regione di drift è in conduzione e la capacità  $C_{GD}$  diventa quella del condensatore avente come dielettrico l'ossido di gate, che è molto sottile, per cui la  $C_{GD}$  cresce enormemente [14].

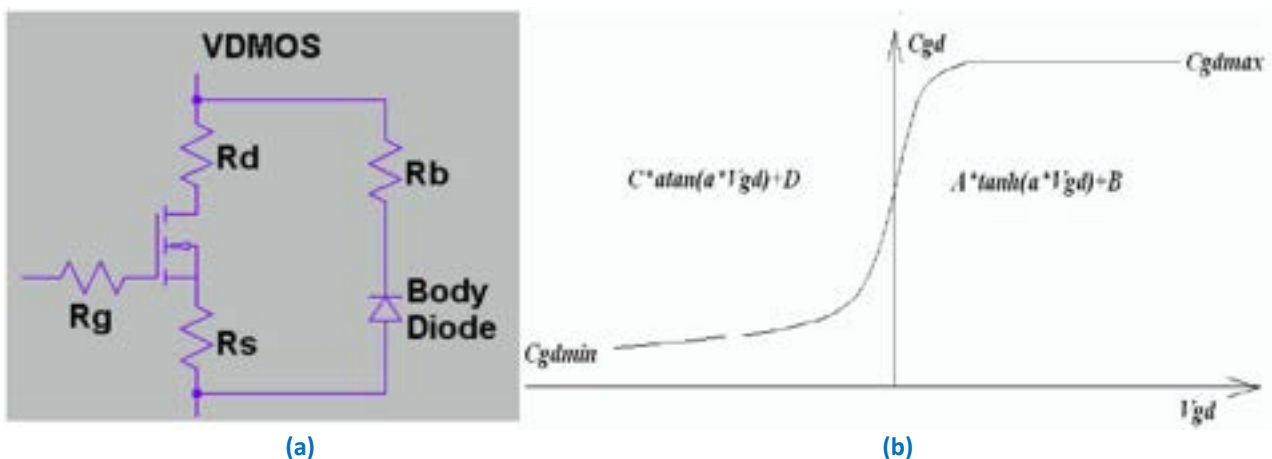
Fra i vari modelli SPICE dedicati ai MOSFET verticali, uno dei più efficienti, anche dal punto di vista computazionale, è il modello VDMOS messo a punto dalla Linear Technologies per il proprio software di simulazione circuitale LTspice. Il modello si ispira in pratica al modello LEVEL-1, integrato con alcune modifiche. I parametri  $L$  (lunghezza di canale) e  $W$  (larghezza di canale) sono posti pari a 1 in modo che la transconduttanza possa essere fissata direttamente, caso per caso; la capacità di gate-source ( $C_{GS}$ ) è assunta costante, il che è un'approssimazione accettabile nell'ipotesi in cui  $V_{GS}$  non assuma mai valori negativi; la capacità gate-drain ( $C_{GD}$ ) segue l'approssimazione determinata empiricamente, di seguito, riportata:

1. per  $V_{GD} > 0$ , la  $C_{GD}$  cambia come la tangente iperbolica di  $V_{GD}$
2. per  $V_{GD} < 0$ , la  $C_{GD}$  cambia come l'arcotangente di  $V_{GD}$

Per il calcolo della  $C_{GD}$  è necessario fornire due parametri,  $C_{GDmax}$  e  $C_{GDmin}$ .

Infine, la capacità drain-source  $C_{DS}$  è modellata come quella del diodo presente fra i contatti di drain e di source, escludendo le resistenze di drain e source ( $R_D$  ed  $R_S$ ).

In Fig. 34a è riportato il modello circuitale di un VDMOS, mentre in Fig. 34b è riportato l'andamento empirico della  $C_{GD}$  al variare della  $V_{GD}$  [15].



**Figura 34. a) Modello circuitale del VDMOS implementato nel simulatore LTspice; b) Andamento empirico della  $C_{GD}$  al variare della  $V_{GD}$  e relativo modello matematico.**

### 4.3 Ambiente di estrazione dei parametri: Cadence PSpice Model Editor

Un modello SPICE ricostruisce il comportamento elettrico di un dispositivo attraverso la sua rappresentazione sotto forma di reti elettriche costituite da elementi circuitali fondamentali, quali generatori (di tensione o di corrente), resistori, condensatori e, raramente, induttori. A seconda del tipo di dispositivo, la descrizione del modello può essere definita attraverso i parametri ricavati dai datasheet e/o da simulazioni numeriche, oppure attraverso una netlist di sottocircuiti descrittivi. Il Model Editor della

Cadence converte le informazioni del datasheet o delle simulazioni numeriche nei parametri del modello per PSpice, con una struttura di tipo *.MODEL* [16]. In Fig. 35 è riportata la schematizzazione circuitale di un modello MOSFET di tipo LEVEL-3 utilizzato dal Model Editor per l'estrazione dei parametri primari PSpice. Quest'ultimo risulta il modello più accurato implementato da questo software. Per l'uso di modelli BSIM sarebbero richiesti altri software che utilizzano questo algoritmo di estrazione, che al momento appaiono non necessari per le nostre indagini.

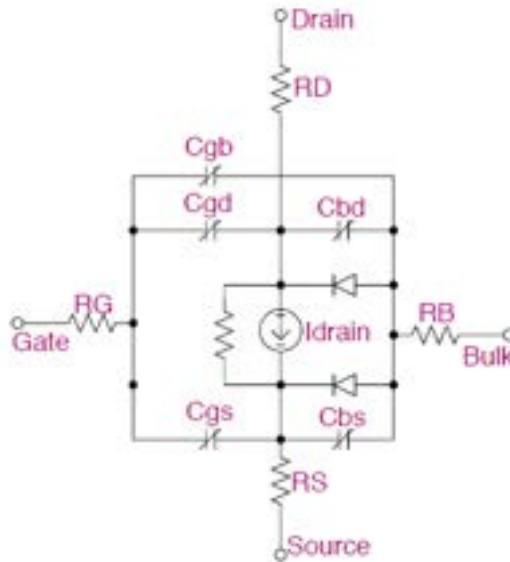


Figura 35. Schematizzazione del livello 3 del MOSFET.

In Fig. 36 è riportato il flusso operativo adottato dal Model Editor della Cadence che, in ingresso, accetta parametri ricavati da librerie di Capture (ottenute da datasheet e/o simulazioni numeriche), in uscita fornisce risultati attraverso simulazioni PSpice. In Fig. 37 è mostrato, invece, lo schema a due vie attraverso il quale viene caratterizzato il modello col Model Editor. Dopo aver inserito i parametri di simulazione è possibile avere una prima stima dei parametri del modello e visualizzare i grafici; questa fase è definita di *fitting* del processo di estrazione.

Ogni curva nel Model Editor è definita solo dai parametri che devono essere “regolati”, ciò significa che queste curve non si sovrappongono esattamente con quelle ottenute con PSpice dopo le simulazioni. Il processo può essere ripetuto fino ad ottenere l'accordo desiderato. In pratica il Model Editor genera una netlist che comprende tutti i parametri di simulazione del dispositivo. In esso, un MOSFET è così definito:

**Mxxxx DGSB nome\_modello lista\_parametri**

con:

**xxxx** che identifica il tipo di dispositivo, tra cui anche se di tipo *N* o di tipo *P*.

**DGSB** che identificano i relativi nodi di drain, gate, source, bulk.

**nome\_modello** che identifica il tipo di modello SPICE, nel nostro caso è LEVEL-3.

**lista\_parametri** che contiene tutti i parametri che servono al modello, ad esempio *W*, *L*, *AD*, *PD*, etc.

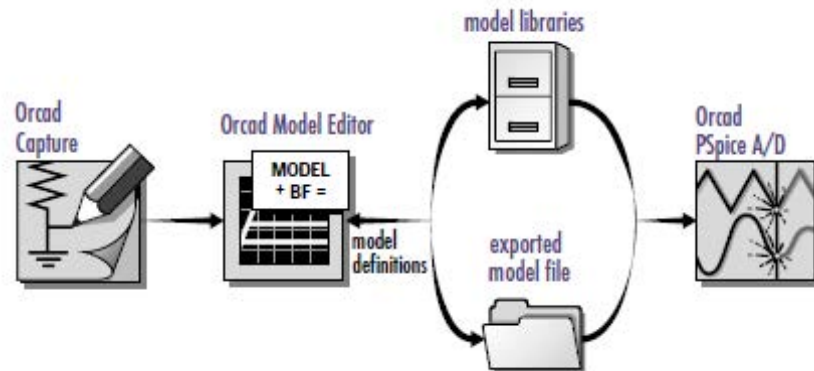


Figura 36. Schema operativo del Model Editor (ORCAD User Manual).

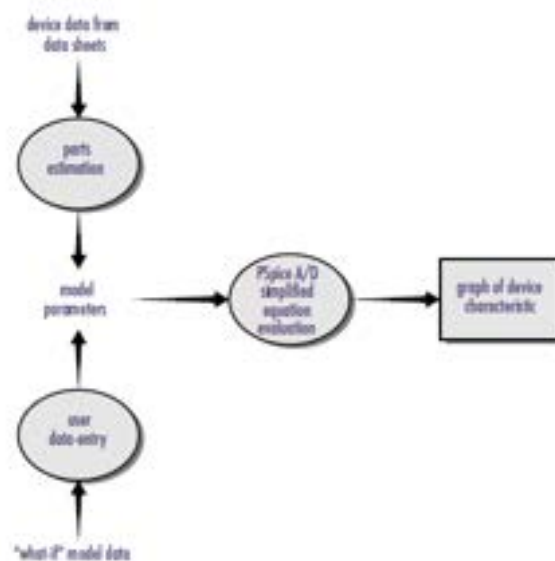


Figura 37. Flusso dei dati per creare un modello PSpice (ORCAD User Manual).

#### 4.4 Estrazione dei parametri del modello

Per poter sviluppare il modello SPICE, il software Model Editor necessita di alcuni parametri forniti dall'utente. In particolare, esso richiede valori sperimentali, oppure valori calcolati precedentemente attraverso simulazioni numeriche, che, nel nostro caso, provengono dall'output delle simulazioni con Silvaco Atlas.

Il Model Editor presenta una serie di schede di calcolo, ognuna dedicata al calcolo di una particolare caratteristica. Di seguito sono descritti i parametri calcolati attraverso i seguenti parametri: transconduttanza,  $R_{DS(ON)}$ , e singole componenti della capacità di gate.

##### 4.4.1 Transconduttanza

La transconduttanza è una misura della sensibilità della corrente di drain ai cambiamenti della tensione di gate-source. Questo parametro è normalmente indicato per un valore di  $V_{GS}$  che fornisce una corrente di

drain pari a circa la metà del valore massimo di corrente nominale e per una  $V_{DS}$  che assicura il funzionamento nella regione di corrente costante [4].

Una volta fissato il punto di lavoro Q sulla transcaratteristica, ossia la terna di valori ( $V_{DS}$ ,  $V_{GS}$ ,  $I_{DS}$ ) e una volta linearizzata la caratteristica nell'intorno di tale punto, la transconduttanza misura la pendenza della transcaratteristica nel punto di lavoro considerato.

È ovvio che, a seconda della regione di funzionamento del dispositivo, si avranno valori diversi di  $g_m$ . La transconduttanza è influenzata dalla larghezza di gate, che aumenta proporzionalmente all'area attiva. La lunghezza del canale influisce anch'essa sulla transconduttanza. Il limite inferiore di questa lunghezza è imposto dal processo di Double Diffusion. Riducendo, infine, lo spessore dell'ossido,  $T_{ox}$ , si incrementa il valore di transconduttanza  $g_{FS}$  [5]. In Tab.10 sono riportati i valori calcolati dalle caratteristiche in DC e, successivamente, forniti al Model Editor.

#### 4.4.2 Capacità di Gate

Dato che il Model Editor richiede anche i valori delle capacità parassite di gate  $C_{GSO}$  e  $C_{GDO}$ , è stato implementato il calcolo delle suddette capacità nel codice delle simulazioni di Silvaco Atlas. La procedura di calcolo ha previsto delle simulazioni in AC, applicando un piccolo segnale variabile alla frequenza di 1 MHz su ogni terminale. Per il nostro dispositivo sono state ottenuti i seguenti valori di capacità, utilizzati, poi, nel Model Editor per l'estrazione del modello SPICE.

$$C_{GSO} = 3,98E-11 \text{ F/m}$$

$$C_{GDO} = 3,98E-11 \text{ F/m}$$

Il calcolo delle capacità di gate  $C_{GSO}$  e  $C_{GDO}$ , insieme ai valori di resistenza associate ai singoli contatti del MOSFET, hanno consentito di chiudere la catena di controllo e correzione dell'algoritmo di estrazione dei parametri SPICE.

**Tabella 9. Valori di transconduttanza calcolati per il modello SPICE LEVEL-3.**

$V_{gs}$ [V]	$g_{FS}$ [ $\mu$ A/V]
10	3,35
11	3,76
12	3,95
13	4,03
14	4,05
15	4,02
16	3,97
17	3,91
18	3,83
19	3,76
20	3,68
21	3,60
22	3,52
23	3,44

#### 4.4.3 Resistenza nello stato ON, $R_{DS}(ON)$

Il modello LEVEL-3 stima il valore della ON-resistance attraverso la  $R_{DS}$  del dispositivo. Questo modello valuta principalmente tre contributi [3, 16]:

- resistenza del canale,  $R_{ch}$
- resistenza serie ad ognuno dei terminali di source e di drain,  $R_S$  ed  $R_D$ .

Esso esegue un aggiustamento ciclico della  $R_D$  fino a ottenere il valore di resistenza corretto. E' importante che la  $R_{DS}$  sia calcolata ad un valore di  $I_D$  che non ecceda il valore massimo assoluto della corrente continua (impostazione dell'algoritmo). Il Model Editor ha richiesto i valori di  $I_D$  ed  $R_{ON}$  per una  $V_{GS}$  di 16 V, ottenendo per  $V_D = 0,5$  V una di  $R_{ON} = 14,792$  k $\Omega \cdot \mu\text{m}$ .

#### 4.4.4 Turn-ON charge

Il valore della carica di gate  $Q_{GS}$  associata ai terminali gate-source va dal valore zero fino a quello richiesto per supportare la massima corrente di carico al valore più elevato della tensione  $V_{GS}$ . La carica  $Q_{GD}$  associata alla capacità sui terminali di gate-drain  $C_{GD}$ , commuta la corrente di carico alla tensione  $V_{DD}$ , mentre la carica  $Q_{GS}$  rappresenta la carica che dà inizio alla commutazione (start switching). Le capacità di gate nel modello SPICE del MOSFET sono dipendenti dal punto di funzionamento in DC e sono attive nella fase AC, principalmente durante le transizioni di commutazione; queste capacità non sono, inoltre, calcolate durante l'analisi DC. I diversi modelli SPICE possono selezionare le capacità di gate da valutare ed utilizzare il modello di calcolo più appropriato. Inoltre, ricordiamo che il modello SPICE LEVEL-3 opera con le capacità estratte di *overlap*,  $C_{GDO}$  (gate-drain),  $C_{GSO}$  (gate-source) e  $C_{GBO}$  (gate-bulk), i cui valori sono ricavati dal modello di estrazione stesso. E' bene ricordare che esse dipendono dal tipo di materiale usato e dallo stato superficiale del semiconduttore. Queste caratteristiche influenzano anche il valore della tensione applicata al gate. Per un modello classico di MOSFET, implementato nel LEVEL-3, i tre stati superficiali sono:

1. Accumulazione
2. Svuotamento
3. Inversione

Quando il dispositivo lavora nello stato di accumulazione, si forma uno strato di accumulazione di cariche che si comportano come un'armatura del condensatore, mentre l'alta concentrazione di lacune in un substrato  $P$  (dispositivo di tipo  $N$ ) forma la seconda armatura del condensatore.

La capacità di gate viene valutata approssimativamente come [5]:

$$C_G = \frac{(e_{sc} \times e_0)}{T_{ox}} \quad (61)$$

I valori di  $C_{GSO}$  e  $C_{GDO}$  sono moltiplicati per lo spessore di canale del MOSFET in modo da presentare gli adeguati valori di capacità. Il circuito in Fig. 38 mostra la tipologia di circuito considerata nel LEVEL-3 [13]. I differenti modelli SPICE adottano diversi algoritmi di estrazione delle suddette capacità, i quali forniscono risultati alquanto simili. Quello che li differenzia è principalmente la velocità di calcolo di esecuzione, in base all'algoritmo utilizzato ed al numero delle iterazioni che vengono calcolate; queste ultime sono valutate in base alla precisione numerica richiesta. Ovviamente i diversi modelli SPICE della serie LEVEL-1, LEVEL-2, LEVEL-3 e BSIM utilizzano diverse formule discretizzate per il calcolo delle capacità. Un calcolo molto preciso viene solitamente effettuato solo sul dispositivo finale, questo perché il tempo di computazione totale cresce notevolmente [17].

In Fig. 39 è mostrato un diagramma qualitativo di suddivisione della carica di gate.

Il modello SPICE LEVEL-3 usa parametri di calcolo e di controllo ad  $n$ -iterazioni, dove  $n$  è un parametro molto complesso che tiene conto della convergenza ed ottimizzazione di più variabili di progetto e dimensionamento. Questo modello è derivato da relazioni empiriche fra dati sperimentali e modelli teorici esistenti; esso, rispetto al modello LEVEL-2, include l'effetto *DIBL* (*Drain-Induced Barrier Lowering*) e gli effetti della degradazione della mobilità. I modelli LEVEL-3 sono applicabili a dispositivi con canale lungo, quindi approssimativamente fino a 2  $\mu\text{m}$ .

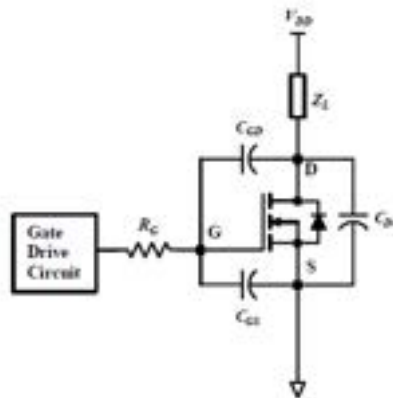


Figura 38. Modello circuitale SPICE per un MOSFET di potenza.

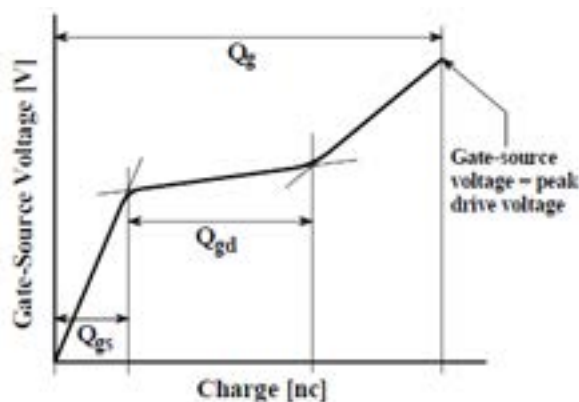
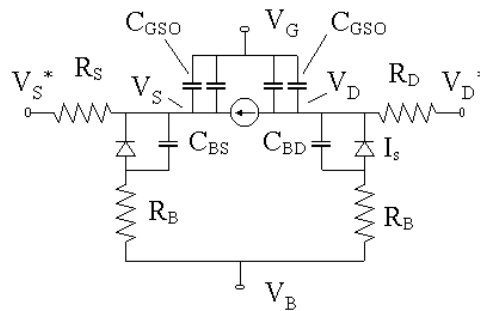


Figura 39. Andamento della  $V_{gs}$  in funzione della carica di gate [18].



**Figura 40. Modello circuitale del MOSFET LEVEL-3.**

## 4.5 Confronto fra modello SPICE e modello numerico

### 4.5.1 Modello PSPICE

Il modello Level 3 del 4H-SiC MOSFET ottenuto è definito dai parametri che si riportano nella seguente tabella. Per completezza, si elencano, innanzitutto, i parametri fisici dei materiali e dei processi utilizzati:

**Tabella 10. Parametri del MOSFET LEVEL-3.**

<b>LAYOUT PARAMETERS</b>		
L	1	μm
W	1,54E+05	μm
Area of Drain/Source	3,08E+05	μm <sup>2</sup>
Perimeter of Drain/Source	44	μm
# squares between Contact and Channel	0,001	
# squares between LDD/N+ and Channel	0,001	
<b>PROCESS PARAMETERS</b>		
	1=yes, 0=No	
Aluminum gate		
n+ Poly gate	0	
p+ Poly gate	0	
N well (pMOSFET)	0	
P well (nMOSFET)	1	
Vt adjust Dose (+ for Boron, - for Phos)	0,00E+00	cm <sup>-2</sup>
Gate Oxide Thickness	800	Å
NSS	3,00E+11	cm <sup>-2</sup>
Starting Wafer Resistivity	10	ohm-cm
Well Dose	2,00E+13	cm <sup>-2</sup>
Well Drive Time	10	min
Well Drive Temperature	1100	C
LDD D/S Dose	2,50E+13	cm <sup>-2</sup>
LDD D/S Drive Time	10	min
LDD D/S Drive Temperature	1000	C
Field Oxide Thickness	6000	Å
Minority Carrier Lifetime in the well	1	μs
D/S Dose (N+ or P+)	2,00E+15	cm <sup>-2</sup>
D/S SILISIDE (1=YES, 0=NO)	0	

Seguono, in Tab. 11, i parametri calcolati, specifici per il MOSFET studiato.

La Fig. 41 mostra le caratteristiche del suddetto dispositivo poste a confronto con quelle del MOSFET progettato ricorrendo al simulatore numerico Atlas-SILVACO.

Si osserva un accordo non particolarmente buono, specialmente alle medie polarizzazioni di gate, con valori della corrente di drain che si discostano del 40% ed oltre. Il discostamento osservato si traduce in un calcolo non esatto della transconduttanza differenziale del dispositivo, in una regione nella quale esso potrebbe trovarsi ad operare durante le fasi di commutazione. Si ritiene che questo risultato sia da ricondurre alla formulazione del modello Level 3, che a fronte di una notevole complessità, resta comunque particolarmente idoneo al calcolo delle correnti di MOSFET planari, in cui le regioni di drain e source sono pressochè simmetriche.

**Tabella 11. Parametri del MOSFET 4H-SiC.**

Level	3	
TPG	0	
TOX	8,00E-08	m
LD	1,85E-07	m
WD	3,00E-07	m
UO	777	cm <sup>2</sup> /V-s
VTO	8,77	V
THETA	0,900	1/V
RS	1,35	ohm
RD	1,35	ohm
DELTA	1,37	
NSUB	1,22E+17	cm <sup>-3</sup>
XJ	1,15E-07	m
VMAX	5,47E+07	m/s
ETA	0,179	
KAPPA	0,142	1/V
NFS	3,00E+11	cm <sup>-2</sup>
CGSO	3,98E-11	F/m
CGDO	3,98E-11	F/m
CGBO	5,75E-10	F/m
PB	1,98	V
XQC	0,40	

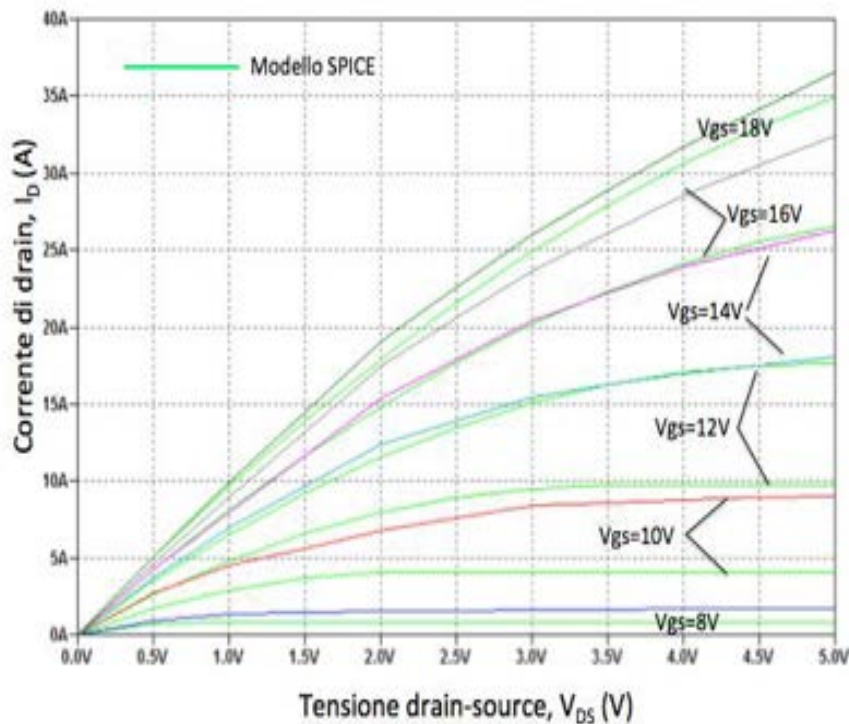


Figura 41. Confronto fra le caratteristiche del MOSFET oggetto dello studio ottenute dal modello circuitale PSpice (verde chiaro) e dal simulatore agli elementi finiti Atlas-SILVACO (vari colori).

#### 4.5.2 Modello VDMOS di LTSpice

Il modello del 4H-SiC MOSFET basato, a sua volta, sul modello VDMOS all'interno del simulatore LTSpice è definito dal seguente statement:

```
.model mioVNMOSvar VDMOS(Rg=0.1 Vto=5.9 Rd=1m Rs=72m Rb=1.1m Kp=1.0 Lambda=0.1 A=0.3
M=0.35 Is=8.1p Vj=2.5 N=1.077 Ron=0 Qg=7n TT=90n mtriode=2.2 phi=1 ksubthres=0.5)
```

La figura seguente (Fig. 42) mostra le caratteristiche del suddetto dispositivo poste a confronto con quelle del MOSFET progettato mediante il simulatore numerico Atlas-SILVACO.

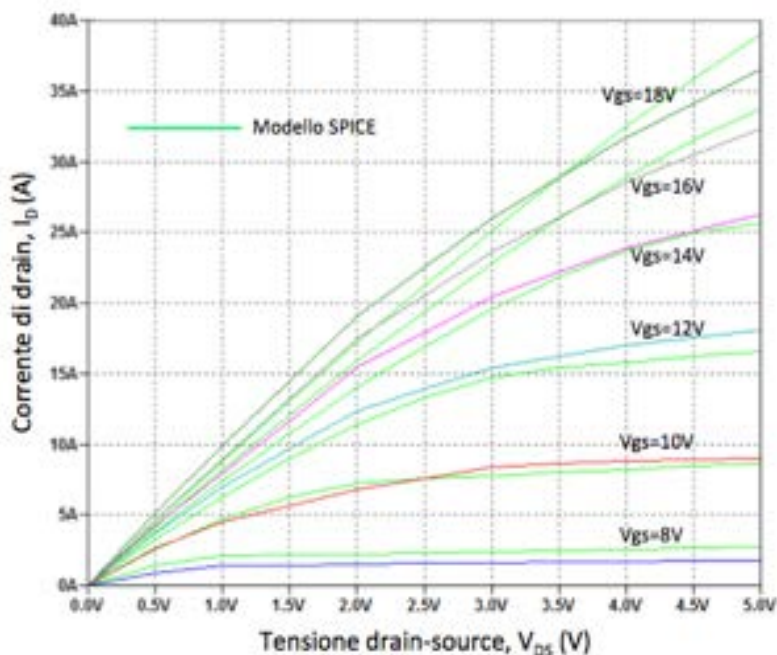


Figura 42. Confronto fra le caratteristiche del MOSFET oggetto dello studio ottenute dal modello circuitale VDMOS LTSpice (verde chiaro) e dal simulatore agli elementi finiti Atlas-SILVACO (vari colori).

Si osserva un accordo soddisfacente fra le curve mostrate, i cui valori si discostano al massimo del 10%, peraltro in regioni presumibilmente lontane da quelle di effettivo utilizzo del dispositivo se si voglia evitare sullo stesso un'eccessiva dissipazione di potenza [3, 20].

#### 4.5.2 Simulazioni in transitorio

Sono state infine effettuate simulazioni del modello LTSpice del MOSFET in regime di commutazione. Queste simulazioni sono state svolte utilizzando come circuito di riferimento lo stesso circuito utilizzato per le simulazioni numeriche del primo anno della ricerca, che è qui di seguito riportato in Fig. 43.

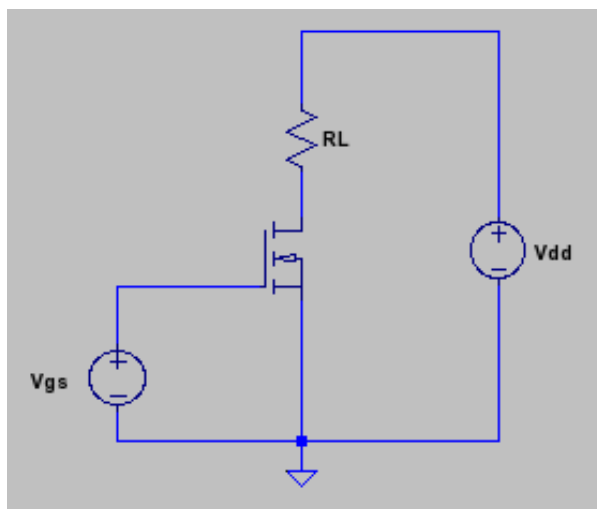


Figura 43. Circuito di polarizzazione applicato al 4H-SiC MOSFET per la simulazione SPICE della fase di accensione.

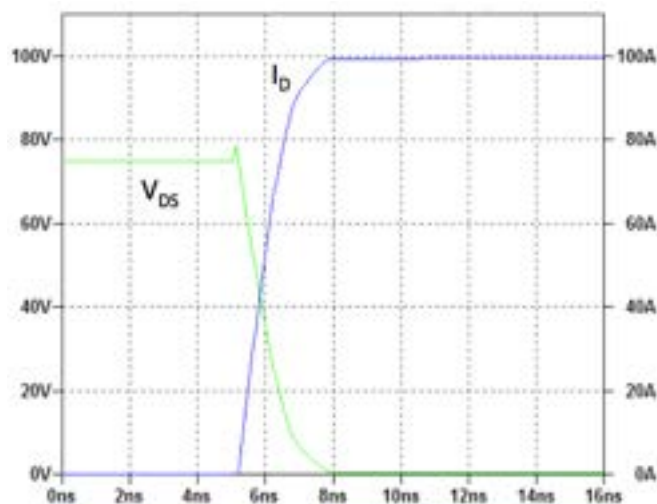
Al pari di quanto dichiarato dalla Infineon nel datasheet dell'IPB072N15N3G, le simulazioni sono state svolte imponendo una  $V_{DD}$  pari a 75 V. Per quanto riguarda il resistore di carico  $R_L$ , dallo stesso datasheet emerge che la sua resistenza è fissata da Infineon al valore:  $V_{DD}/I_{max} = 75/100 = 0,75 \Omega$ , valore utilizzato anche durante le nostre simulazioni. Si sottolinea che, al fine di garantire uniformità di condizioni operative con le simulazioni numeriche e quelle del MOSFET Infineon, è stato necessario scalare le dimensioni del modello SPICE del 4H-SiC MOSFET. Infatti, mentre il dispositivo Infineon completamente acceso è in grado di condurre 100 A con  $V_{DS}=0,5$  V, il MOSFET presentato nei paragrafi precedenti è dimensionato per  $I_D=4$  A alla stessa  $V_{DS}$ . Questo richiede uno scaling dell'area di un fattore 25, con conseguente riduzione in scala delle resistenze parassite (specie quella di source) ed aumento della capacità parassite.

Il modello utilizzato è, in definitiva, descritto dai seguenti parametri:

```
.model mioVNMOSvar VDMOS(W=2.1 Cgs=500p Cgdmin=800p Cgdmax=8000p Rg=0.1 Vto=5.9
Rd=2m Rs=2m Rb=1.1m Kp=1.0 Lambda=0.1 A=0.3 M=0.35 Is=8.1p Vj=2.5 N=1.077 Ron=0 Qg=7n
TT=90n mtriode=2.2 phi=1 ksubthres=0.5)
```

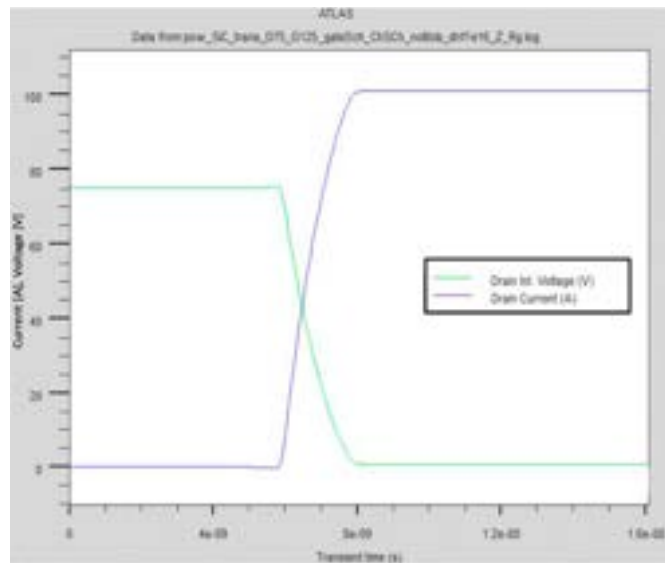
Relativamente alla  $V_{GS}$ , è stato considerato un gradino di 16V, con tempo di salita pari a 0,1 ns.

Nella Fig. 44 è illustrata l'evoluzione del potenziale del nodo di drain e della corrente di drain, dalla condizione di spegnimento del MOSFET ( $V_{DS}=75$  V,  $I_D=0$  A) a quella di completa accensione ( $V_{DS}=0,4$  V,  $I_D=100$  A). Il forzamento di gate è applicato all'istante  $t=5$  ns.



**Figura 44. Evoluzione della corrente di drain e della tensione di drain-source calcolate con le simulazioni SPICE ottenute con il modello messo a punto in questo studio.**

Per confronto, nella seguente Fig. 45 è, invece, riportata l'evoluzione ottenuta con le simulazioni numeriche, estratta dal report precedente.



**Figura 45. Evoluzione della corrente di drain e della tensione di drain-source calcolate con le simulazioni fisiche numeriche presentate nel report precedente.**

In conclusione, sono stati ricavati i parametri caratteristici del MOSFET in 4H-SiC per due diversi modelli circuitali di tipo SPICE: il modello Level-3 ed il modello VDMOS. Con i parametri ricavati, entrambi i modelli sono in grado di riprodurre le caratteristiche del dispositivo nella regione di interesse per le applicazioni switching, anche se il secondo dei due, che trova applicazione all'interno del simulatore LTspice della Linear Technologies, presenta caratteristiche più vicine a quelle ottenute con le simulazioni fisiche numeriche del dispositivo, con un errore massimo prossimo al 10%. Anche la simulazione SPICE in transitorio di un MOSFET operante in commutazione ha fornito risultati molto prossimi a quelli ottenuti attraverso la simulazione fisica numerica.

## Conclusioni

Durante la seconda annualità della ricerca sono state svolte simulazioni numeriche più approfondite grazie alle quali è stato possibile raffinare ulteriormente le dimensioni ed i parametri fisici del dispositivo progettato nella prima fase. In particolare, sono state valutate dimensioni alternative della lunghezza di canale  $L_{ch}$  e della dimensione  $W_j/2$  (distanza fra le regioni P-base in cui si forma il canale). I risultati ottenuti hanno consentito di comprendere ancora più in dettaglio la relazione esistente tra la  $R_{ON}$  e la lunghezza di canale, e di ottenere, quindi, un ulteriore miglioramento della  $R_{ON}$  stessa attraverso una riduzione della resistenza di canale ( $R_{ch}$ ).

In secondo luogo è stato svolto uno studio in temperatura per valutarne l'impatto sulla  $R_{ON}$  e la tensione di soglia,  $V_{th}$ . In particolare sono stati valutati gli effetti della temperatura nel range tra i 300 K - 450 K, evidenziando un aumento della  $R_{ON}$  all'aumentare della T. Il fenomeno, che è pressochè lineare, è tutto sommato debole rispetto ad altre tipologie di dispositivi. In particolare, il valore della resistenza di stato ON quasi raddoppia tra 300 K e 450 K. Dallo studio si evidenzia che una minore sensibilità della  $R_{ON}$  si ottiene per il dispositivo con canale più corto. La tensione di soglia  $V_{th}$  ha dimostrato una sensibilità alla temperatura ancora minore, specie in presenza di un canale più lungo.

L'ultima fase della ricerca ha riguardato lo sviluppo di un modello SPICE del MOSFET in 4H-SiC progettato. Sono stati messi a punto due distinti modelli. Il primo è basato sul convenzionale modello LEVEL-3, descritto da un insieme di equazioni empiriche, i cui parametri sono stati adattati per ottenere la migliore corrispondenza con le caratteristiche ottenute attraverso le simulazioni fisiche. Il secondo è basato sul modello VDMOS, specificamente sviluppato per i MOSFET di potenza a canale verticale dalla Linear Technologies per il proprio simulatore LTspice.

In entrambi i casi i risultati ottenuti sono più che soddisfacenti, anche se il modello LTspice mostra un'aderenza migliore alle caratteristiche simulate per via numerica. I modelli Spice ricavati sono sicuramente in grado di consentire, nelle fasi successive della ricerca, la progettazione di circuiti di potenza di tipo DC-DC converter per applicazioni fotovoltaiche.

## Riferimenti bibliografici

- [1] F.G. Della Corte, R. Carotenuto, G. Graditi, F. Pezzimenti, S. Rao Studio, mediante simulazioni numeriche, delle caratteristiche statiche e dinamiche di un MOSFET in 4H-SiC dimensionato per l'uso in SMPPT fotovoltaici, Report RdS/PAR2015/297
- [2] J. Stęszewski, A. Jakubowski, M.L. Korwin-Pawłowski Comparison of 4H-SiC and 6H-SiC MOSFET I-V characteristics simulated with Silvaco Atlas and Crosslight Apsys, *J. of Telecomm. Information Tech*, 3/2017, pp. 93-93, 2017
- [3] B.J. Baliga, "Power Semiconductor Devices, Boston: PWS Publishing, 1995.
- [4] B.J. Baliga, "Power Semiconductor Device Figure of Merit for High-frequency Application", *IEEE Electron Device Letters*, Vol.10, pp. 455, 1989.
- [5] G. De Martino, F. Pezzimenti, F.G. Della Corte, G. Adinolfi, G. Graditi, Design and Numerical Characterization of a Low Voltage Power MOSFET in 4H-SiC for Photovoltaic Applications - *IEEE PRIME Conferece 2017*
- [6] M. Roschke, and F. Schwierz, "Electron Mobility Models for 4H, 6H, and 3C SiC," *IEEE Trans. ElectronDevices*, vol. 48, pp. 1442-1447, 2001.
- [7] Md Hasanuzzaman, S.K Islam, L.M. Tolbert, M.T. Alam, Temperature dependency of MOSFET device characteristics in 4H- and 6H-silicon carbide (SiC), *Sol. St. El. Vol. 48*, pp. 1877-1881, 2004.
- [8] N.S. Rebello, F.S. Shoucair and J.W. Palmour, "6H silicon carbide MOSFET modeling for high temperature analogue integrated circuits (25-500°C)". *IEEE Proc.-Circuits Devices Systems*, vol. 143, no. 2, 1996, pp. 115- 122.
- [9] MOSFET Models for SPICE Simulation including BSIM3 and BSIM4 - William Liu. Wiley Interscience Publication.
- [10] PSpice® - Model Editor User's Guide.
- [11] G. A. Franz, J. L. Johnson, R. S. Scott, G. A. Franz, and J. L. Johnson, "An Accurate Model for Power MOSFET's Including Interelectrode Capacitances," *IEEE Trans. Power Electron.*, vol. 6, no. 2, pp. 192–198, 1991.
- [12] Md Hasanuzzaman, S.K Islam, L.M. Tolbert, B. Ozpineci, "Temperature dependency of MOSFET device characteristics in 4H- and 6H-silicon carbide", *Sol. St. El. Vol. 48*, pp. 1877-1881, 2004.
- [13] Comparison of Level 1, 2 and 3 MOSFET's by Twesha Patel – 2014
- [14] J. Berken, P. Baumann - VDMOS - Subcircuit – Modeling and Model Parameter Extraction, IC-CAP Device modeling software, pp. 1–11, 1995.
- [15] LTspice built-in Vdmos model – by Hendrik Jan Zwerver (Linear Technologies)
- [16] J. Wei, M. Zhang, H. Jiang, C. H. Cheng, and K. J. Chen, "Low ON-Resistance SiC Trench/Planar MOSFET With Reduced OFF-State Oxide Field and Low Gate Charges," *IEEE Electron Device Letters*, vol. 37, no. 11, pp. 1458-1461, Nov. 2016.
- [17] M. Bakowski, U. Gustafsson and U. Lindefelt, " Simulation of SiC high power devices ", *Physica Status Solidi A*, vol. A 162, pp. 421-429, 1997.
- [18] Silicon Carbide Power MOSFET Model and Parameter Extraction Sequence. *IEEE TRANSACTIONS ON POWER ELECTRONICS*, VOL. 22, NO. 2, MARCH 2007.
- [19] Cadence LTspice® - Power MOSFET User's Guide: VDMOS Model.
- [20] S. Sharma, V. Gupta, and S. Saxena, "A Review on VDMOS as a Power MOSFET Special Issue - AETM 16," vol. 2, pp. 119–124.

- [21] M. Ruff, H. Mitlehner and R. Helbig, "SiC Devices Physics and Numerical Simulation", IEEE Trans. Electron Devices, vol. 41, pp. 1040-1054, 1994.
- [22] S. Selberherr, Analysis and Simulation of Semiconductor Devices, Springer, Wien, 1984, ch. 4.