



Ricerca di Sistema elettrico

# Realizzazione e caratterizzazione di un prototipo di convertitore SMPPT realizzato con l'integrazione di dispositivi switching basati su materiali innovativi

F.G. Della Corte, R. Carotenuto, D. Iero,  
P. Falduto, M. Merenda, G. Pangallo, G. Adinolfi, G. Graditi



REALIZZAZIONE E CARATTERIZZAZIONE DI UN PROTOTIPO DI CONVERTITORE SMPPT REALIZZATO CON L'INTEGRAZIONE DI DISPOSITIVI SWITCHING BASATI SU MATERIALI INNOVATIVI

F.G. Della Corte<sup>1</sup>, R. Carotenuto<sup>1</sup>, D. Iero<sup>1</sup>, P. Falduto<sup>1</sup>, M. Merenda<sup>1</sup>, G. Pangallo<sup>1</sup>, G. Adinolfi<sup>2</sup>, G. Graditi<sup>2</sup>

<sup>1</sup>Università degli Studi Mediterranea di Reggio Calabria - Dipartimento di Ingegneria dell'Informazione, delle Infrastrutture e dell'Energia Sostenibile (DIIES)

<sup>1</sup>ENEA

Settembre 2018

Report Ricerca di Sistema Elettrico

Accordo di Programma Ministero dello Sviluppo Economico - ENEA

Piano Annuale di Realizzazione 2016

Area: Generazione di energia elettrica con basse emissioni di carbonio

Progetto: B.1.2 "Ricerca su tecnologie fotovoltaiche innovative"

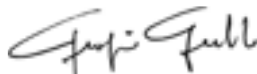
Obiettivo: Sviluppo di tool di progettazione e studio di dispositivi attivi innovativi per convertitori SMPPT

Responsabile del Progetto: Paola Delli Veneri



Il presente documento descrive le attività di ricerca svolte all'interno dell'Accordo di collaborazione "Studio di dispositivi attivi basati su nuovi materiali e tecnologie per applicazioni in convertitori SMPPT fotovoltaici: progettazione e realizzazione di un prototipo di convertitore".

Responsabile scientifico ENEA: Giorgio Graditi



Responsabile scientifico Università Mediterranea: Francesco G. Della Corte

## Indice

<b>SOMMARIO</b> .....	4
<b>1. INTRODUZIONE</b> .....	5
<b>2. SPECIFICHE TECNICHE GENERALI</b> .....	6
2.1 ARCHITETTURA HW DELL'SMPPT .....	6
<b>3. DESIGN E REALIZZAZIONE DELLA SCHEDA DI CONTROLLO DELLA LOGICA DELLO SMPPT</b> .....	8
3.1 ARCHITETTURA HW DELLA SCHEDA DI LOGICA.....	8
3.2 MICROCONTROLLORE.....	9
3.2.1 INTERFACCIA CON FPGA: PROTOCOLLO PARALLELO-SERIALE .....	13
3.2.2 LETTURA ADC E TRASMISSIONE AD FPGA.....	14
3.2.3 COMUNICAZIONE CON MODULO WI-FI.....	14
3.2.4 DEBUG (UART).....	15
3.2.5 AMBIENTE DI PROGRAMMAZIONE .....	15
3.3 FPGA.....	16
3.3.1 ARCHITETTURA INTERNA DEL DIGITAL SMPPT CONTROLLER.....	18
3.3.2 FUNZIONALITÀ DELLE SINGOLE IP.....	20
3.3.3 SEGNALI DI I/O DEL FPGA .....	23
3.3.4 AMBIENTE DI SVILUPPO FPGA .....	26
3.4 WI-FI .....	28
3.5 ALTRI COMPONENTI DELLA SCHEDA DI LOGICA .....	29
3.6 REALIZZAZIONE DEL CIRCUITO STAMPATO .....	30
<b>4. DESIGN E REALIZZAZIONE DELLE SCHEDE DI POTENZA</b> .....	32
4.1 BUCK-BOOST DC-DC CONVERTER (FULL BRIDGE) .....	32
4.2 MOSFET IN SILICIO .....	33
4.3 MOSFET IN CARBURO DI SILICIO .....	33
4.4 FET IN NITRURO DI GALLIO .....	34
4.5 CONFRONTO CARATTERISTICHE MOSFET .....	35
4.6 DRIVER.....	35
4.7 SENSORE DI CORRENTE .....	38
4.8 INDUTTORE E CONDENSATORE .....	38
4.9 ALTRI COMPONENTI DELLA SCHEDA DI POTENZA.....	39
4.10 REALIZZAZIONE DEL CIRCUITO STAMPATO .....	40
4.10.1 BOARD DI POTENZA .....	40
4.10.2 CONNESSIONE TRA LE BOARD.....	41
<b>5. TEST DEGLI SMPPT E CONFRONTI</b> .....	42
5.1 INTRODUZIONE .....	42
5.2 TEST DELLO SMPPT CON MOSFET DI SILICIO.....	42
5.3 TEST DELLO SMPPT CON MOSFET DI CARBURO DI SILICIO .....	45
5.4 TEST DELLO SMPPT CON HEMT DI NITRURO DI GALLIO .....	48
5.5 TEST DELLO SMPPT INTERLEAVED.....	51
<b>6. ANALISI DEI RISULTATI E CONCLUSIONI</b> .....	56
<b>APPENDICE A</b> .....	58
<b>APPENDICE B</b> .....	60
<b>APPENDICE C</b> .....	64
<b>RIFERIMENTI BIBLIOGRAFICI</b> .....	70

## Sommario

Nei due report precedenti, “Studio, mediante simulazioni numeriche, delle caratteristiche statiche e dinamiche di un MOSFET in 4H-SiC dimensionato per l’utilizzo in SMPPT fotovoltaici” - PAR 2015 [1] e “Rapporto tecnico sull’ottimizzazione del MOSFET in SiC per applicazioni SMPPT e sviluppo di un modello SPICE del dispositivo” – PAR 2016 [2], sono state analizzate le proprietà elettroniche del Carburo di Silicio (SiC), che lo rendono un materiale promettente per la progettazione di dispositivi di potenza per applicazioni fotovoltaiche; è stato progettato un MOSFET in 4H-SiC, dimensionato per circuiti da asservire a moduli fotovoltaici (FV), confrontando le caratteristiche statiche e dinamiche del dispositivo progettato con quelle di dispositivi commerciali sia in Silicio sia in Carburo di Silicio; ed infine è stato sviluppato un accurato modello SPICE del MOSFET utilizzabile per la progettazione dei circuiti di potenza destinati a convertitori DC-DC.

L’oggetto delle attività della terza annualità di progetto è stato la “Progettazione e realizzazione di un convertitore Smart Maximum Power Point Tracking per generatori fotovoltaici di ultima generazione”.

I convertitori SMPPT consistono in circuiti switching dc-dc buck/boost in grado di regolare autonomamente la tensione di uscita al fine di massimizzare il trasferimento di potenza verso il carico. Essi sono costituiti da una sezione di potenza ed una sezione “di controllo”. Durante la terza annualità, in accordo alle procedure e alle soluzioni SMPPT individuate mediante la piattaforma “Pi.Con-RET”, sviluppata presso il Centro Ricerche ENEA di Portici, sono stati progettati, realizzati e confrontati diversi circuiti, tra cui uno basato su MOSFET in silicio e uno su MOSFET in carburo di silicio. È stato, inoltre, progettato e realizzato un convertitore SMPPT basato su HEMT (High electron mobility transistor) in nitruro di gallio (GaN), una tecnologia emergente che offre dispositivi commerciali con caratteristiche potenzialmente utili per applicazioni in ambito fotovoltaico.

Per quanto riguarda lo stadio di controllo del convertitore SMPPT, esso è stato progettato intorno ad un FPGA, che svolge prevalentemente la parte di calcolo, e a un microcontrollore con azione di supporto dell’attività di calcolo, diagnostica e gestione delle comunicazioni. Attraverso il loro abbinamento, è possibile la ricerca continua della migliore condizione operativa per il modulo, attraverso la regolazione dei duty-cycle di funzionamento dei MOSFET (o HEMT) di potenza. Sono state, inoltre, integrate funzioni di comunicazione dedicate al monitoraggio dei parametri operativi.

## 1. Introduzione

In questo report sono illustrati i risultati delle attività di ricerca svolte nel corso della terza annualità, il cui obiettivo finale ha riguardato la progettazione di un convertitore Smart Maximum Power Point Tracking (SMPPT), realizzato mediante dispositivi switching, basati su nuovi materiali, e dimensionato per l'integrazione a bordo di un singolo modulo fotovoltaico. La ricerca è stata finalizzata ad evidenziare i vantaggi e gli svantaggi che potrebbero derivare dall'integrazione di tali dispositivi a commutazione in carburo di Silicio (SiC) e nitruro di Gallio (GaN) in circuiti di conversione dc-dc da porre direttamente a bordo di generatori fotovoltaici per l'ottimizzazione della potenza estratta sotto ogni regime di soleggiamento. La potenza massima gestibile tiene conto della tendenza attuale della tecnologia fotovoltaica che sta progressivamente aumentando la potenza di picco dei singoli moduli, la quale, ormai, si colloca ben oltre i 300 Wp. I valori di corrente e tensione massimi necessari per queste applicazioni sono, infatti, dell'ordine della decina di Ampere e di circa 70 V.

Attualmente il mercato dei semiconduttori offre vari dispositivi MOSFET in Silicio, ma l'adozione di semiconduttori ad ampia bandgap, quali il SiC e il GaN, promette il raggiungimento di prestazioni superiori [11], [12]. L'attenzione è stata concentrata, in primis, sui dispositivi in SiC. Si è potuto constatare che la difficoltà nell'utilizzo di tali tecnologie, nell'ambito dei convertitori SMPPT, è legata alla mancanza in commercio di MOSFET in SiC con tensioni e correnti idonee alla specifica applicazione. Optare, in questi casi, per un componente "sovradimensionato" può, infatti, incidere sulle prestazioni dell'intero convertitore, non garantendo, quindi, miglioramenti rispetto all'utilizzo del Silicio. Nel corso della seconda annualità [2] è stata, dunque, affinata la progettazione di un MOSFET in SiC per la specifica applicazione e, successivamente, si è proceduto a identificare, studiare e mettere a punto un modello analitico del dispositivo da utilizzare all'interno di simulatori circuitali di tipo SPICE. Questo passaggio è decisivo per simulare il funzionamento di circuiti switching complessi.

Le attività dell'ultima annualità hanno previsto la progettazione, la realizzazione e la caratterizzazione, in termini di prestazioni elettriche, di tre convertitori SMPPT: uno basato su MOSFET convenzionali in silicio, uno su MOSFET in SiC e, infine, uno basato su HEMT in GaN. In accordo ai risultati e alle soluzioni ottenuti mediante la piattaforma Pi.Con-RET, sviluppata da ENEA, sono stati selezionati tre SMPPT caratterizzati dagli stessi componenti di potenza (induttanza, capacità di filtro, etc) e la stessa frequenza di switching in modo da poter confrontare il comportamento e le prestazioni delle tre tecnologie switching. Il confronto fra queste soluzioni tecnologiche alternative costituisce un importante risultato e un utile strumento di indagine scientifica su cui basarsi per i futuri sviluppi della ricerca industriale e per lo sviluppo di nuovi circuiti per la conversione ottimale dell'energia solare.

Nota: nel presente documento è stata adottata la notazione anglosassone con riferimento alla separazione delle migliaia (virgola) e dei decimali (punto).

## 2. Specifiche tecniche generali

L'attività di ricerca svolta ha previsto la progettazione e la realizzazione di convertitori SMPPT con elementi innovativi sia nella sezione di potenza sia in quella di controllo. In particolare, è stato progettato un circuito di tipo buck-boost, ottenuto utilizzando MOSFET di nuova generazione in Si e *transistor* appartenenti a tecnologie emergenti (SiC e GaN [3], [9], [10]). Si è previsto, come variante, l'impiego di soluzioni topologiche di tipo "interleaved", sia per ragioni di affidabilità, sia per l'ottimizzazione delle prestazioni complessive del circuito. Il convertitore SMPPT è stato progettato per un generatore fotovoltaico di ultima generazione, caratterizzato da una potenza di picco di 400-450W. Tali generatori fotovoltaici sono caratterizzati da tensioni di circuito aperto ( $V_{oc}$ ) fino a 70V e correnti di corto circuito che possono raggiungere i 10A.

Il convertitore SMPPT è stato realizzato mediante componentistica in grado di assicurare i necessari margini di sicurezza in termini di tensione, corrente e potenza.

La sezione di controllo è basata su un microchip custom in tecnologia FPGA [4], [5], con l'obiettivo di garantire elevate velocità di elaborazione dei dati, in particolare nella generazione dei segnali veloci di controllo dei MOSFET. Un microcontrollore affianca l'FPGA per la gestione delle funzioni di comunicazione con la sezione di potenza nonché per l'acquisizione e conversione A/D dei segnali di corrente e tensione necessari per il controllo. Ogni convertitore SMPPT può dialogare con un nodo Master e con altri convertitori, utilizzando un ricetrasmittitore integrato a bassa potenza operante con protocolli di comunicazione standard Wi-Fi. Questa caratteristica è finalizzata alla successiva implementazione di algoritmi a livello di sistema e procedure di diagnostica del circuito, anche da remoto.

### 2.1 Architettura HW dell'SMPPT

La Figura 1 riporta il diagramma a blocchi del sistema considerato:



Figura 1. Diagramma a blocchi del sistema.

Il sistema in oggetto è suddiviso in due sezioni:

- (i) una scheda di logica, in cui sono presenti il microcontrollore, l'FPGA che consente l'implementazione della logica di controllo del SMPPT, ed un modulo integrato per gestire la comunicazione wireless tra i vari MPPT;
- (ii) un circuito di potenza, ovvero un convertitore dc-dc e MOSFET in diverse tecnologie costruttive (Si, SiC, GaN).

## 3. Design e Realizzazione della scheda di controllo della logica dello SMPPT

In questa sezione sono descritti il design e la realizzazione della scheda di logica utilizzata per il controllo della scheda di potenza e per la comunicazione Wi-Fi.

### 3.1 Architettura HW della scheda di logica

La scheda di logica è costituita, come illustrato nella Figura 2, da tre componenti principali:

- (i) Un microcontrollore, le cui funzioni principali sono:
  - acquisizione di corrente e tensione in ingresso e uscita dal circuito di potenza;
  - invio dei dati acquisiti al FPGA;
  - invio di parametri di funzionamento del SMPPT al FPGA tra i quali il duty cycle dei MOSFET,
  - frequenza di funzionamento e dead-time delle PWM;
  - possibilità di forzare la condizione di bypass del SMPPT;
  - ricezione della modalità e dei parametri di funzionamento inviati dal FPGA;
  - comunicazione con un modulo Wi-Fi.
  
- (ii) Un FPGA, le cui funzioni principali sono:
  - ricezione di tensione e corrente inviati dal microcontrollore;
  - ricezione dei parametri operativi inviati dal microcontrollore;
  - verifica della condizione di bypass;
  - calcolo dei duty cycle delle PWM di controllo dei MOSFET;
  - generazione dei segnali PWM di controllo dei MOSFET con opportuni valori di frequenza, dead-time e duty cycle;
  - implementazione della logica di gestione del circuito di bootstrap;
  - implementazione della logica di controllo della modalità interleaved;
  - invio della modalità e dei parametri di funzionamento al microcontrollore.
  
- (iii) Un modulo Wi-Fi, le cui funzioni principali sono:
  - trasmissione/ricezione della modalità e dei parametri di funzionamento del SMPPT;
  - trasmissione delle tensioni e correnti di ingresso e uscita del dc-dc *converter* a un circuito Master.

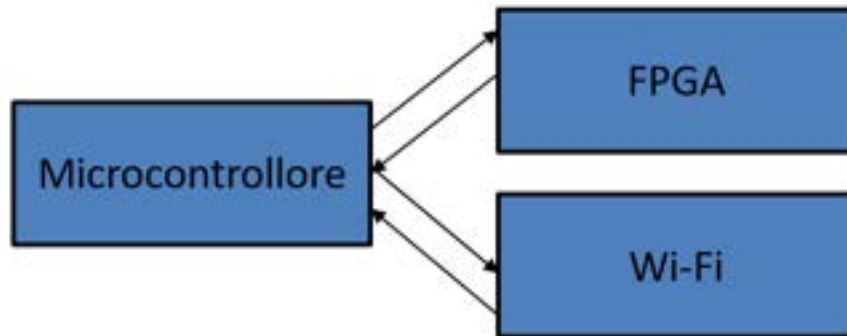


Figura 2. Diagramma a blocchi scheda logica.

### 3.2 Microcontrollore

Il microcontrollore è il centro di controllo della scheda di logica e si interfaccia con il chip FPGA, deputato a generare i segnali veloci di pilotaggio dei MOSFET. Esso si interfaccia anche con il modulo Wi-Fi per la comunicazione di parametri e misure ad altri dispositivi.

Il microcontrollore acquisisce i segnali analogici dai sensori e li invia, tramite un apposito protocollo di comunicazione, al FPGA, di cui gestisce anche i segnali di *reset* ed *enable*.

Il microcontrollore scelto per la realizzazione è il dsPIC33EP64GS504 [19]. È un microcontrollore a 16-bit della Microchip e fa parte della famiglia dei Digital Signal Processing (Figura 3) e dispone di alcune funzionalità specifiche per il controllo e la gestione dei circuiti di switching e conversione di potenza, tra cui:

- (i) modulo ADC ad alta velocità (velocità di conversione fino a 3.25 Msps);
- (ii) 12-bit con 4 core SAR ADC dedicati e un core ADC SAR condiviso;
- (iii) sorgenti di trigger ADC flessibili e indipendenti;
- (iv) due comparatori digitali;
- (v) quattro comparatori Rail-to-Rail con isteresi;
- (vi) convertitore Digitale-Analogico (DAC) a 12 bit dedicato per ogni comparatore analogico;
- (vii) due amplificatori di guadagno programmabili con cinque guadagni selezionabili (4x, 8x, 16x, 32x, 64x).

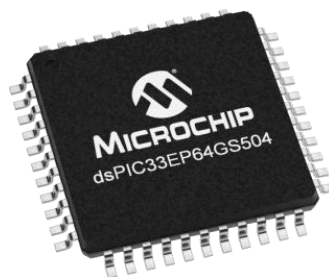


Figura 3. Microcontrollore dsPIC33EP64GS504.

Nella scelta del microcontrollore, particolare importanza è stata data alle caratteristiche di velocità e precisione dell'ADC e alla possibilità di disporre di più moduli ADC che agiscono contemporaneamente. Infatti, per il corretto funzionamento del MPPT è necessario leggere con precisione, e nello stesso istante di tempo, la corrente e tensione in uscita dal generatore fotovoltaico e calcolarne, quindi, la relativa potenza.

#### CONFIGURAZIONE I/O

In Figura 4 è riportata la configurazione dei pin di input e output del microcontrollore.

Impostando i registri relativi all'oscillatore interno ed al PLL, è stata impostata la frequenza di funzionamento massima del sistema. I registri sono stati impostati in modo da instradare il segnale

dell'oscillatore interno (Figura 5) attraverso il PLL (Figura 6). F<sub>OSC</sub> non sarà la frequenza di funzionamento della CPU, che sarà invece pari a:

$$F_{CY} = \frac{F_{OSC}}{2}$$

Ai fini del progetto, la frequenza scelta settando i vari registri è stata:

$$F_{CY} = 42.3775\text{MHz}$$

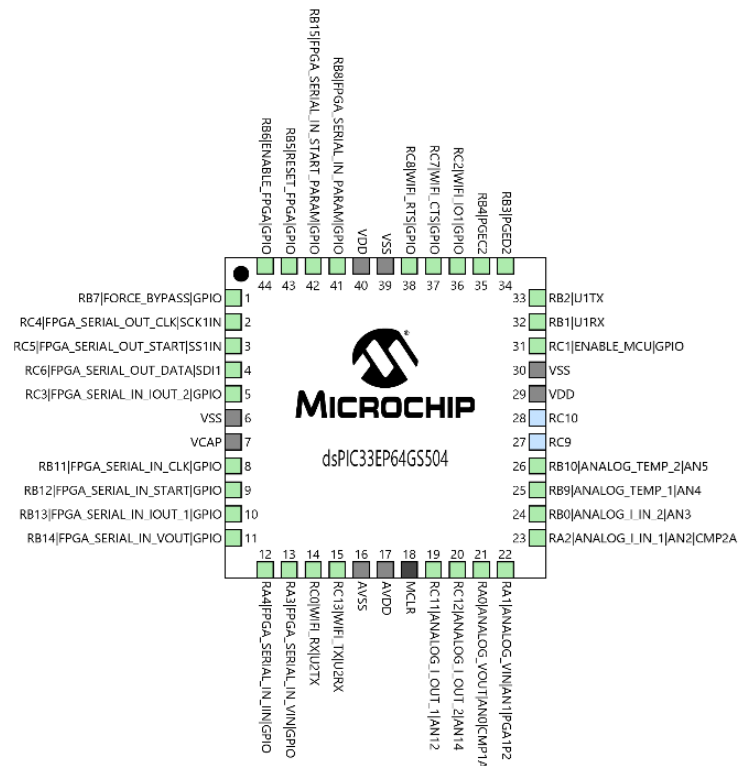


Figura 4. Configurazione Input Output microcontrollore.

## CONFIGURAZIONE OSCILLATORE

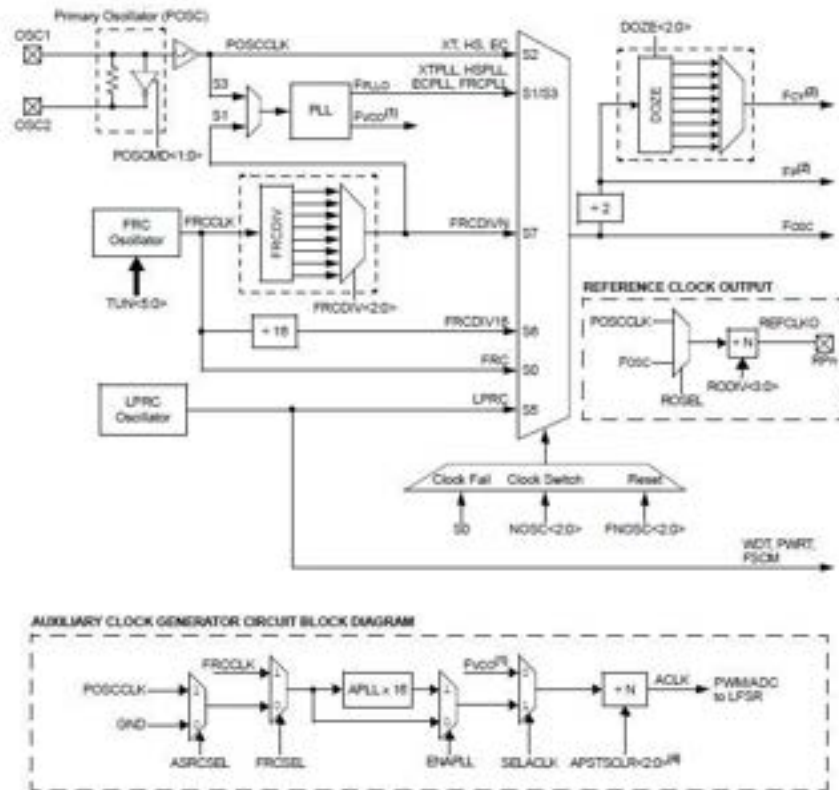


Figura 5. Schema oscillatore microcontrollore (DS70005127D Microchip Technology Inc.).

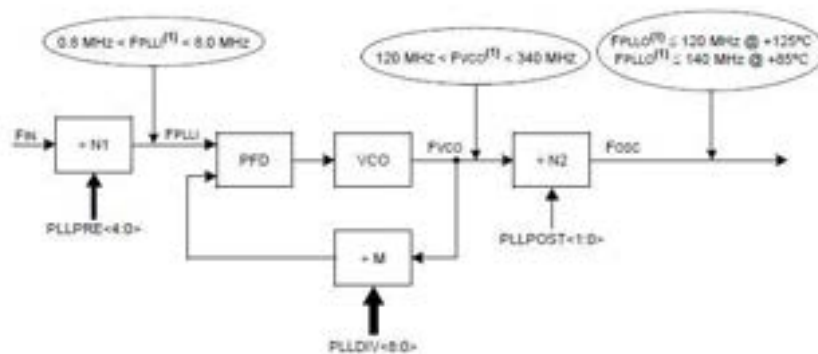


Figura 6. Schema PLL microcontrollore (DS70005127D Microchip Technology Inc.).

## CONFIGURAZIONE ADC

Il microcontrollore utilizzato ha quattro moduli indipendenti più uno condiviso, mostrati in Figura 7; i moduli dedicati possono campionare il segnale contemporaneamente, utilizzando un segnale di trigger comune che li aziona simultaneamente; questo ci permette di effettuare un campionamento sincrono e istantaneo delle varie misure delle schede di potenza. Nel modulo ADC condiviso, mostrato in Figura 8, i vari canali sono multiplexati, cioè le operazioni di Sample&Hold e conversione avvengono in sequenza; questa operazione può essere effettuata ad altissima frequenza, ma il campionamento non sarà mai contemporaneo tra i vari pin utilizzati.

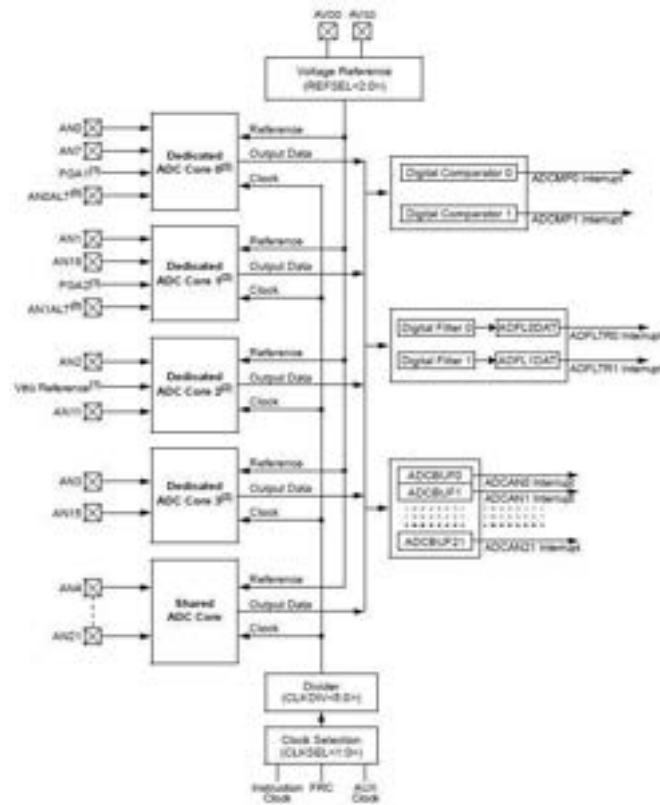


Figura 7. Schema Moduli ADC.

Il modulo ADC è stato impostato in modo da acquisire segnali a 12bit unsigned, e il trigger della conversione è impostato tramite un apposito timer, in modo da procedere all’acquisizione contemporanea dei vari ingressi. Le letture dei moduli ADC saranno opportunamente mediate con un elevato numero di campioni per ridurre il rumore di misura. I core dedicati dell’ADC sono stati utilizzati per i segnali più importanti ai fini del corretto inseguimento del Punto di Massima Potenza del generatore fotovoltaico, ed in particolare, per correnti e tensione in ingresso. Gli ingressi analogici sono stati impostati come segue:

- AN0: ANALOG\_VOUT (core 0);
- AN1: ANALOG\_VIN (core 1);
- AN2: ANALOG\_I\_IN\_1 (core 2);
- AN3: ANALOG\_I\_IN\_2 (core 3);
- AN4: ANALOG\_TEMP\_1 (shared core);
- AN5: ANALOG\_TEMP\_2 (shared core);
- AN12: ANALOG\_I\_OUT\_1 (shared core);
- AN14: ANALOG\_I\_OUT\_2 (shared core);

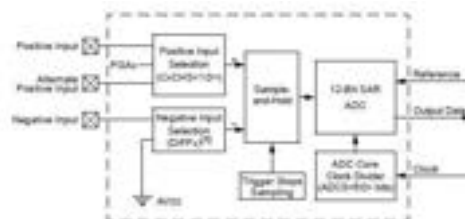


Figura 8. Schema Modulo ADC dedicato.

### COMPARATORE ANALOGICO

Il comparatore analogico è utilizzato per rilevare quando le tensioni e/o le correnti in ingresso e/o in uscita superano i limiti previsti dal progetto. Quando i limiti vengono superati viene generato un'interruzione che consente di intervenire sul *duty cycle* del convertitore in pochi nanosecondi, limitando corrente/tensione e riportando il sistema nel *range* di funzionamento previsto.

Ogni comparatore utilizzato è collegato internamente agli stessi ingressi del convertitore ADC, ed è sempre attivo, anche durante il normale funzionamento del modulo ADC.

Ogni comparatore ha un DAC 12bit dedicato che viene usato per impostare il riferimento di ciascun comparatore, mostrato in Figura 9.

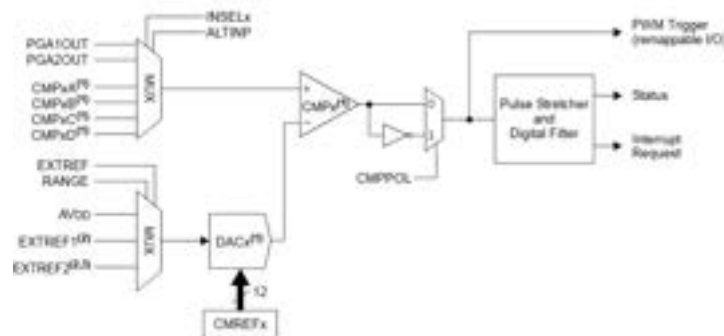


Figura 9. Schema modulo comparatore.

#### 3.2.1 Interfaccia con FPGA: protocollo parallelo-seriale

##### TRASMISSIONE CORRENTE E TENSIONE

Per trasferire all'FPGA le informazioni ricavate dall'ADC si è scelto di creare un protocollo di comunicazione, implementato all'interno di una funzione denominata outputSerial.

Questa funzione accetta in ingresso 5 parole (FPGA\_SERIAL\_IN\_VIN, FPGA\_SERIAL\_IN\_VOUT, FPGA\_SERIAL\_IN\_IIN, FPGA\_SERIAL\_IN\_IOUT\_1, FPGA\_SERIAL\_IN\_IOUT\_2) da 16 bit ciascuna, e serializza bit a bit ogni parola su un PIN diverso del micro, per un totale di 5 parole in uscita, ognuna di esse trasferita in modo seriale, ma tra loro trasmesse in parallelo.

Per tale protocollo sono stati creati due soli segnali di controllo:

- (i) FPGA\_SERIAL\_IN\_START: è un segnale che va alto appena inizia la trasmissione, attiva la ricezione nell'FPGA;
- (ii) FPGA\_SERIAL\_IN\_CLK: è un segnale di "avvenuta trasmissione" cioè è un segnale di controllo che va alto quando tutti i bit sono pronti su tutti e quattro pin, si chiama clock perché ha la funzione di scandire la trasmissione ed ha anche la forma di un normale clock.

In Figura 10 è visualizzata una decodific dati mediante un analizzatore di stati logici utilizzato per il processo di validazione.



Figura 10. Trasmissione microcontrollore osservata tramite un analizzatore di stati logici.

### **TRASMISSIONE PARAMETRI DI FUNZIONAMENTO**

Il microcontrollore può selezionare i parametri delle PWM dei MOSFET (duty cycle, dead-time e frequenza) indipendentemente da quelli che sono calcolati dall'algoritmo del MPPT.

Questi valori sono inviati al FPGA in modo seriale mediante il segnale FPGA\_SERIAL\_IN\_PARAMETER che è una parola a 32 bit e contiene:

- Duty cycle MOSFET M1;
- Duty cycle MOSFET M2;
- 4 Bit selezione dead-time;
- 3 Bit selezione frequenza;
- 1 Bit di forzamento del duty dall'esterno.

Per tale protocollo seriale sono stati creati due soli segnali di controllo:

- (i) FPGA\_SERIAL\_IN\_START\_PARAMETRI: è un segnale che va alto appena inizia la trasmissione, attiva la ricezione nel FPGA;
- (ii) FPGA\_SERIAL\_IN\_CLK: utilizzato anche per l'invio delle tensioni e correnti e descritto nel precedente paragrafo.

### **RICEZIONE STATO FPGA**

È una funzione che consente di ricevere lo stato di funzionamento del FPGA. La ricezione avviene mediante la periferica SPI del microcontrollore. In particolare, vengono ricevute tre parole da 16 bit di cui i primi 4 bit indicano il tipo di dato inviato, mentre gli altri 12 costruiscono il dato.

Le tre parole contengono le seguenti informazioni:

- dato 1: "0001"+ duty cycle MOSFET M1;
- dato 2: "0010"+ duty cycle MOSFET M2;
- dato 3: "0100"+ 4 bit selezione deadtime + 3 bit selezione frequenza+ Vref A0+ Vref A1+ MODE\_BOOST+ MODE\_BUCK+ MODE\_BYPASS;

Maggiori dettagli saranno dati nella parte di descrizione del FPGA.

### **TRASMISSIONE SEGNALI DI CONTROLLO**

Il microcontrollore invia altri segnali che forzano dall'esterno la modalità di funzionamento del FPGA e del MPPT:

- RESET\_FPGA: Consente di resettare il chip FPGA;
- ENABLE\_FPGA: Consente di abilitare le IP implementate all'interno del FPGA;
- FORCE\_BYPASS: Consente di forzare la condizione di bypass dall'esterno nel caso di malfunzionamento del convertitore o in altre condizioni particolari.

#### **3.2.2 Lettura ADC e trasmissione ad FPGA**

L'FPGA opera su numeri interi, ma i valori di tensione e corrente non sono tali; per questo motivo il valore di tensione viene moltiplicato per 100 e il valore di corrente per 1000. Questo serve a considerare le due cifre dopo la virgola per la tensione e le tre cifre dopo la virgola per la corrente. Inoltre, bisogna effettuare le conversioni opportune in considerazione dei partitori di tensione in lettura e dei sensori di corrente presenti sulla scheda di potenza.

#### **3.2.3 Comunicazione con modulo Wi-Fi**

Il microcontrollore ed il modulo Wi-Fi comunicano tramite interfaccia seriale UART. Periodicamente il microcontrollore invia al modulo Wi-Fi tutte le misure di corrente, tensione, temperatura, la modalità di

funzionamento, ed i parametri del sistema, che il modulo Wi-Fi memorizzerà e mostrerà nella propria interfaccia del web server interno, oppure comunicherà tramite apposite API ad altri dispositivi.

Inoltre, il modulo Wi-Fi può inviare, tramite la medesima interfaccia, dei parametri di funzionamento al microcontrollore (duty cycle, frequenza, dead-time, duty cycle) per personalizzare il funzionamento del dispositivo da remoto.

I pin I/O utilizzati da questa interfaccia sono denominati: WI-FI\_TX, WI-FI\_RX. Il pin WI-FI\_IO1 viene utilizzato come interrupt per segnalare l'inizio ed il completamento della trasmissione dati.

### 3.2.4 Debug (UART)

Per effettuare il debug del sistema è stato implementato un protocollo di trasmissione e ricezione UART, mostrato in Figura 11, tramite il quale, con un collegamento al PC, è possibile impostare i parametri di funzionamento della scheda (duty cycle, frequenza, dead time, duty cycle, bootstrap) e osservare l'andamento delle misure di corrente, tensione, potenza e temperatura delle schede di potenza.

```

COMS-PUTTY
VI=704 I11=3648 I12=0 P1a=25.608959 Vc=6295 Io1=0 Io2=0 Pout=0.000000
DUTY M1=40.72% M3=0.00% FREQ=103kHz DT=104ns
Vref=4100 MODE=BOOST MFFT=1 FORCE=1 T1=3136 T2=4550
VI=703 I11=3647 I12=0 P1a=25.645439 Vc=6294 Io1=0 Io2=0 Pout=0.000000
DUTY M1=39.75% M3=0.00% FREQ=103kHz DT=104ns
Vref=4100 MODE=BOOST MFFT=1 FORCE=1 T1=3134 T2=4547
VI=702 I11=3649 I12=0 P1a=25.681919 Vc=6294 Io1=0 Io2=0 Pout=0.000000
DUTY M1=39.26% M3=0.00% FREQ=103kHz DT=104ns
Vref=4100 MODE=BOOST MFFT=1 FORCE=1 T1=3136 T2=4544
VI=702 I11=3648 I12=0 P1a=25.565470 Vc=6295 Io1=0 Io2=0 Pout=0.000000
DUTY M1=37.79% M3=0.00% FREQ=103kHz DT=104ns
Vref=4100 MODE=BOOST MFFT=1 FORCE=1 T1=3144 T2=4550
-----
MENU:
1: set duty M1 [1568]
2: set duty M3 [0]
3: set dead-time [2]
4: set frequency [0]
5: force duty on/off [1]
6: bootstrap on/off [1]
7: set Vref [41 V]
8: force bypass on/off [0]
9: enable MFFT [1]
-----

```

Figura 11. Screen-shot UART.

### 3.2.5 Ambiente di programmazione

Per la programmazione del microcontrollore è stato utilizzato il software MPLAB X, un ambiente di sviluppo integrato della Microchip e la cui schermata principale è mostrata in Figura 12. Il codice sorgente è scritto in C e compilato tramite compilatore XC16. La programmazione del chip del codice compilato è stata effettuata tramite il programmatore/debugger PICKIT3 della Microchip.

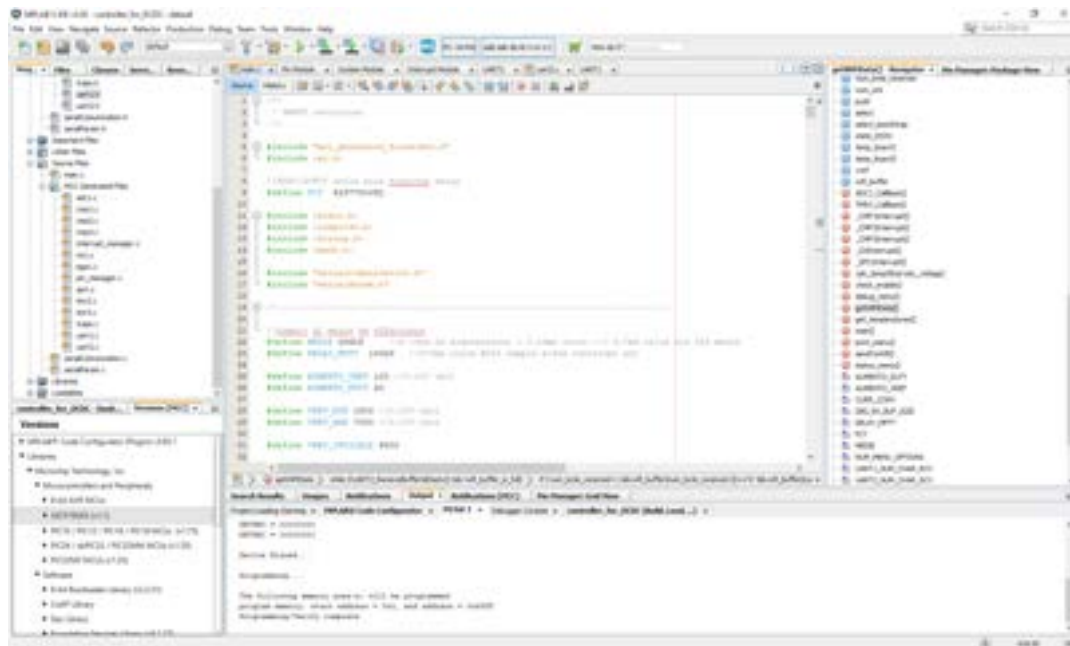


Figura 12. Schermata principale software MPLAB X.

### 3.3 FPGA

All'interno della scheda di logica è stato utilizzato un FPGA della Lattice Semiconductor, si tratta, in particolare, del modello iCE40UP5K le cui caratteristiche principali sono riportate nella Tabella 1 [18].

La famiglia iCE40 UltraPlus™ è costituita da FPGA ultra-low power che integrano al loro interno un gestore di sensori per applicazioni mobile ultra-low power, per esempio, per smartphone, tablet e palmari. Essa offre una SRAM da 1 Mb, blocchi DSP, con ulteriori LUT. La famiglia iCE40 UltraPlus include i blocchi SPI e I2C integrati per interfacciarsi con tutti i sensori e processori. Inoltre, dispone di due pin I/O in grado di supportare l'interfaccia con i dispositivi I3C. Sul chip sono presenti due oscillatori, rispettivamente da 10 kHz e da 48 MHz.

Esso dispone anche di blocco funzionale DSP per scaricare l'Application Processor per pre-elaborare le informazioni inviate dal dispositivo mobile, come i dati vocali. RGB PWM IP, con le tre uscite RGB a corrente costante 24 mA, fornisce tutta la logica necessaria per pilotare direttamente il LED di servizio, senza la necessità di MOSFET o buffer esterni.

Nella tabella seguente vengono riportate le informazioni sui dispositivi della famiglia iCE40 UltraPlus.

**Tabella 1. Caratteristiche FPGA iCE40 Ultra Plus.**

Part Number	ICE40UP3K	ICE40UP5K
<b>Logic Cells (LUT + Flip-Flop)</b>	<b>2800</b>	<b>5280</b>
EBR Memory Blocks	20	30
EBR Memory Bits (Kbits)	80	120
SPRAM Memory Blocks	4	4
SPRAM Memory Bits (Kbits)	1024	1024
NVCM	Yes	Yes
PLL	1	1
DSP Blocks (MULT16 with 32-bit Accumulator)	4	8
Hardened I/O, SPI	2, 2	2, 2
HF Oscillator (48 MHz)	1	1
LF Oscillator (10 KHz)	1	1
24 mA LED Sink	3	3
PWM IP Block	Yes	Yes
<b>Packages, ball pitch, dimension</b>	<b>Total User I/O Count</b>	
30-ball WLCSP, 0.4 mm, 2.15 mm x 2.55 mm	21	21
48-ball QFN, 0.5 mm, 7.0 mm x 7.0 mm	-	39

### 3.3.1 Architettura interna del Digital SMPPT Controller

Di seguito è descritta l'implementazione, in tecnologia FPGA, della logica di controllo per il circuito SMPPT. Tale sezione di controllo opera mediante l'implementazione del metodo Perturba & Osserva (P&O) [6-8]. Tale implementazione consente di ottenere una struttura modulabile, adattabile e riprogrammabile. Lo scopo è quello di garantire elevate velocità di elaborazione dei dati, anche in considerazione delle elevate risoluzioni temporali necessarie nel controllo dei MOSFET. Nella Figura 13 **Errore. L'origine riferimento non è stata trovata.** è riportato il diagramma a blocchi delle intellectual property (IP), generate mediante codice VHDL, che consentono l'implementazione della logica di controllo del FPGA.

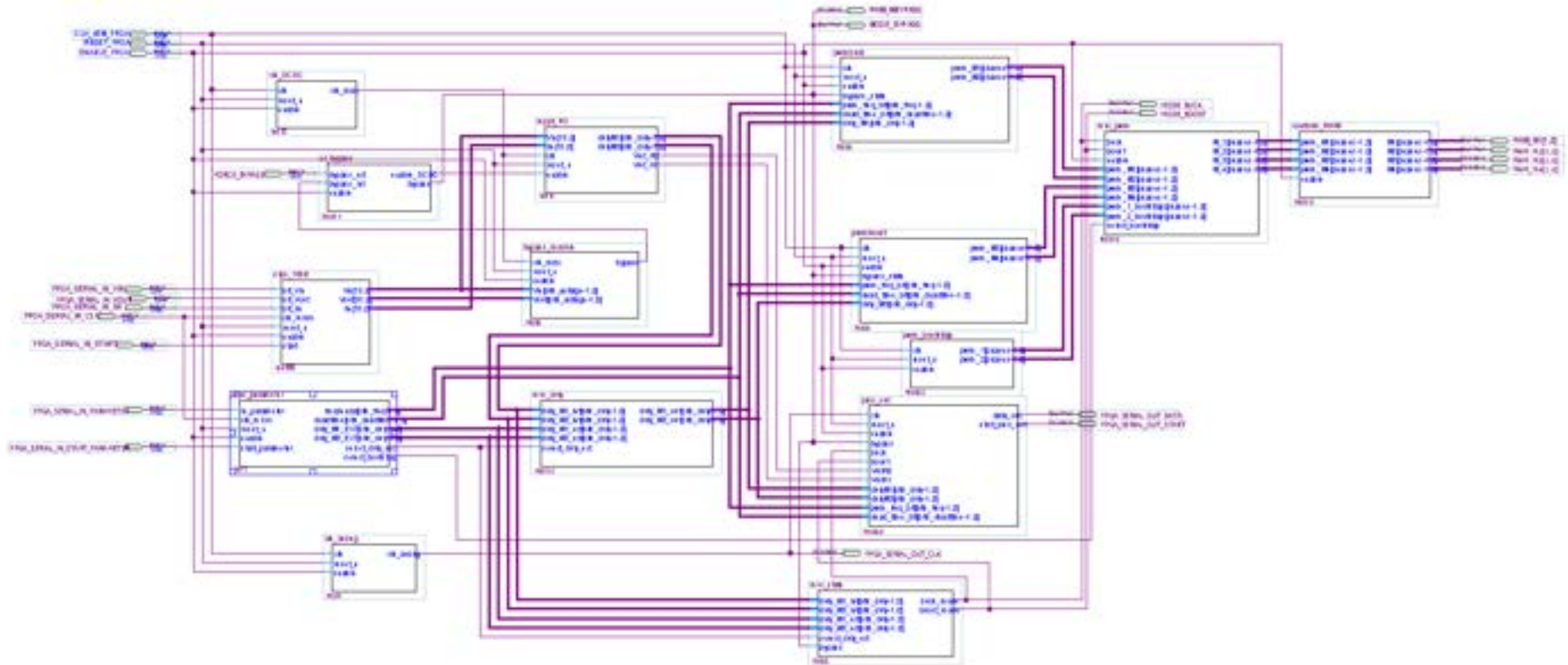


Figura 13. Diagramma a blocchi delle IP implementate all'interno del FPGA.

### 3.3.2 Funzionalità delle singole IP

Di seguito sono descritte le funzioni implementate all'interno delle 15 IP riportate del diagramma a blocchi di Figura 14. **Errore. L'origine riferimento non è stata trovata.:**

#### **sipo\_16bit**

È una struttura SIPO (Serial Input-Parallel Output) che consente l'acquisizione, all'interno del FPGA, dei valori di corrente e tensione in ingresso ed in uscita dal convertitore dc-dc. Tali dati, precedentemente acquisiti mediante il microcontrollore, sono inviati in maniera seriale dal microcontrollore stesso. In particolare, sono acquisiti tensione e corrente in ingresso e la tensione in uscita.

#### **sipo\_parameter**

È una struttura SIPO (Serial Input-Parallel Output) che consente l'acquisizione, all'interno del FPGA di alcuni parametri che possono essere settati dal microcontrollore:

- Valore duty cycle MOSFET M1;
- Valore duty cycle MOSFET M2;
- Bit di selezione della frequenza;
- Bit di selezione del dead-time;
- force\_duty: bit che consente di forzare il valore di duty cycle dei MOSFET dall'esterno;
- clk\_DCDC.

Il componente in esame è un divisore di clock che consente di generare un clock alla frequenza di 270 Hz a partire dal clock dell'oscillatore esterno che ha una frequenza di 48 MHz. Questo segnale di clock con duty cycle del 50% viene utilizzato per il funzionamento del blocco mppt\_PO.

#### **bypass\_module**

Il blocco bypass\_module ha il compito di determinare se si verifica la condizione per cui devono essere attivati i MOSFET di Bypass (BYPASS MODE).

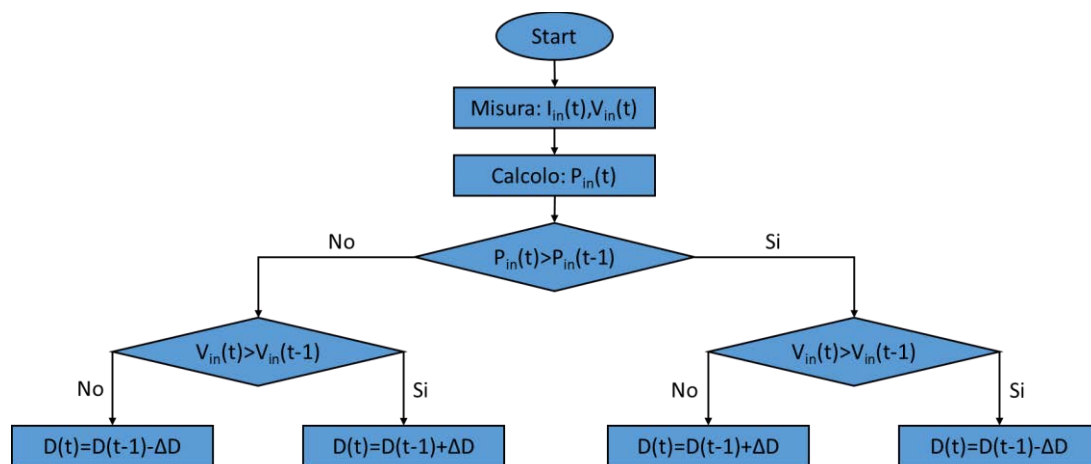
Tale condizione si verifica quando la tensione di uscita  $V_{out}$  risulta, per almeno 15 secondi, compresa nel range  $[0.95 \times V_{in}, 1.05 \times V_{in}]$ . In tale condizione, vengono accesi i MOSFET di bypass e sono disabilitati tutti gli altri dispositivi di potenza del convertitore. La modalità di BYPASS rimane attiva per 1 minuto e successivamente viene effettuata una nuova verifica della condizione.

#### **or\_bypass**

Tale blocco è una porta OR che abilita la condizione di BYPASS MODE verificando il valore logico del segnale in uscita dal bypass\_module e del segnale di bypass esterno proveniente dal microcontrollore.

#### **mppt\_PO**

Nel blocco MPPT viene implementato l'algoritmo P&O per l'inseguimento del Punto di Massima Potenza del generatore fotovoltaico. L'algoritmo P&O, il cui diagramma di flusso viene mostrato in Figura 14, si basa sull'applicazione di continue variazioni al valore della tensione di uscita di un sistema fotovoltaico fino al raggiungimento del Punto di Massima Potenza.

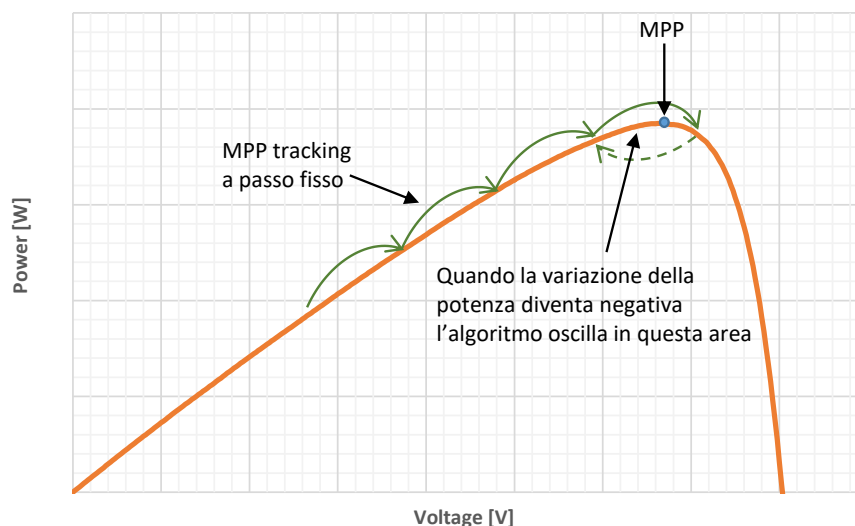


**Figura 14. Diagramma di flusso algoritmo P&O implementato.**

Quando il chip FPGA riceve in ingresso i segnali di  $V_{in}(t)$  e  $I_{in}(t)$ , calcola la potenza indicata con  $P_{in}(t)$ . Tale potenza viene confrontata con la potenza all'istante precedente,  $P_{in}(t-1)$ . Se  $P_{in}(t)$  è maggiore di  $P_{in}(t-1)$ , si confronta il valore di tensione  $V_{in}(t)$  con  $V_{in}(t-1)$ , che rappresentano rispettivamente il valore di tensione di ingresso appena ricevuto ed il valore di tensione di ingresso ricevuto nell'istante precedente. Se  $V_{in}(t)$  è maggiore di  $V_{in}(t-1)$  il valore del duty cycle ( $D$ ) viene incrementato di una quantità pari a  $(\Delta D)$ , altrimenti viene decrementato della stessa quantità.

Se, invece,  $P_{in}(t)$  è minore di  $P_{in}(t-1)$ , si confronta il valore di tensione  $V_{in}(t)$  con  $V_{in}(t-1)$ ; in questo caso, se  $V_{in}(t)$  è maggiore di  $V_{in}(t-1)$ , il valore di duty cycle viene ridotto, altrimenti viene aumentato.

In Figura 15 è riportato il funzionamento dell'algoritmo in relazione alla caratteristica potenza tensione di un modulo fotovoltaico.



**Figura 15. Diagramma di flusso algoritmo P&O implementato.**

Oltre a calcolare il valore del duty cycle, viene fatto un controllo su di esso. In particolare, se incrementando il valore di  $D$  si supera il valore massimo (97%), esso viene bloccato su tale valore. Stesso controllo viene fatto sul valore minimo, e cioè, se decrementando il valore di  $D$  si raggiunge un valore minore di duty (3%),  $D$  viene bloccato a quest'ultimo valore.

Un'ulteriore funzione svolta da questo blocco è quella della gestione del funzionamento del dc-dc converter in modalità buck o boost:

**Modalità Buck:** attiva quando  $V_{in}(t)$  è maggiore  $V_{out}(t)$ . In questa condizione di funzionamento, il modulo genera dei valori di duty tali che il MOSFET M3 è sempre OFF e M4 sempre ON. I MOSFET M1 e M2 alternano la condizione di ON a quella di OFF con un duty cycle variabile, calcolato mediante l'algoritmo di P&O.

**Modalità Boost:** attivo quando  $V_{in}(t)$  è minore di  $V_{out}(t)$ . In questa condizione di funzionamento, il modulo genera dei valori di duty tali che il MOSFET M2 è sempre OFF e M1 sempre ON. I MOSFET M3 e M4 alternano la condizione di ON a quella di OFF con un duty cycle variabile, calcolato mediante l'algoritmo di P&O.

### **Mux\_duty**

È un multiplexer che seleziona il valore di duty cycle dei MOSFET mediante il valore assunto da `force_duty`:

se `force_duty='1'` vengono selezionati i valori di duty cycle provenienti dal microcontrollore;

se `force_duty='0'` vengono selezionati i valori di duty cycle dal blocco `mppt_PO`.

### **Mux\_state**

È un multiplexer che stabilisce la modalità di funzionamento del dc-dc converter in relazione ai valori assunti dal duty cycle dei MOSFET M1 ed M3.

### **pwm\_buck**

Tale blocco genera le coppie di PWM per il buck converter (`pwm_M1` e `pwm_M2`) in funzione del valore di duty cycle di M1 (calcolato da `mppt_PO` o fornito dall'esterno) e dei valori dei bit di frequenza e dead-time. Il blocco consente inoltre la generazione di due coppie di PWM sfasate tra loro di  $180^\circ$  al fine di implementare la modalità "interleaved".

### **pwm\_boost**

Tale blocco genera le coppie di PWM per il boost converter (`pwm_M3` e `pwm_M4`) in funzione del valore di duty cycle di M3 (calcolato da `mppt_PO` o fornito dall'esterno) e dei valori dei bit di frequenza e dead-time. Il blocco consente inoltre la generazione di due coppie di PWM sfasate tra loro di  $180^\circ$  al fine di implementare la modalità "interleaved".

### **pwm\_bootstrap**

Nell'implementazione del buck-boost dc-dc converter è necessario avere dei punti di funzionamento in cui i MOSFET alti siano accesi per molto tempo. Ciò costituisce un problema nel caso di utilizzo di driver con circuito di bootstrap poiché questo tipo di funzionamento non consente di ricaricare la capacità di bootstrap.

Per risolvere questo problema, considerando, ad esempio, la condizione di boost in cui M1 deve rimanere sempre acceso, è stato adottato il metodo appreso descritto. Alla gate del dispositivo non viene applicato un segnale continuo, ma si applica una PWM a bassissima frequenza e con duty-cycle prossimo all'unità; in questo modo, al termine di ogni periodo del segnale, la capacità viene ricaricata. È ovvio che questo metodo comporta delle perdite e dei disturbi, e per questo motivo sono stati calcolati, prima teoricamente e successivamente empiricamente, la frequenza e il duty cycle necessari per ridurre i disturbi. A tal fine, è necessario tener conto dei seguenti vincoli fondamentali:

- (i) duty-cycle prossimo all'unità, ma contemporaneamente distante da essa per garantire alla capacità il tempo di caricarsi;
- (ii) duty-cycle più vicino possibile all'unità per fare in modo che lo spegnimento del dispositivo non comporti grossi disturbi al circuito, in particolar modo all'elemento induttivo che reagirebbe violentemente a grosse variazioni di corrente;
- (iii) frequenza del segnale non troppo alta per non immettere troppi disturbi nel sistema;
- (iv) frequenza del segnale non troppo bassa per far sì che la capacità non si scarichi.

Per rispettare questi punti è stato necessario individuare un opportuno trade-off fra essi. Mediante questa IP si riesce, quindi, a risolvere il problema legato alla capacità di bootstrap. Essa è analoga al blocco pwm\_buck, ma genera un segnale di frequenza molto più basso ( $f=200$  Hz). Tale segnale ha un duty fisso pari a 1 (valore riferito a un dato a 14 bit) che corrisponde a un tempo pari a 305 ns. Durante tale intervallo di tempo, la PWM\_M1 (PWM\_M3) viene mantenuta bassa, mentre PWM\_M2 (PWM\_M3) viene mantenuta alta in modo da consentire il caricamento della capacità di bootstrap.

### Mux\_pwm

È un multiplexer che seleziona le corrette PWM da inviare ai mosfet in base al valore del selettore select\_bootstrap, in modo da utilizzare i segnali generati da pwm\_bootstrap nel caso di MOSFET sempre alti e nell'assenza di driver isolati nella scheda di potenza.

### Controllo\_PWM

Il blocco controllo\_PWM ha il compito di controllare i segnali PWM in uscita che andranno a pilotare i MOSFET. In particolare, esso controlla che non ci siano intervalli temporali in cui le coppie di segnali PWM (pwm\_M1 e pwm\_M2 oppure pwm\_M3 e pwm\_M4) siano contemporaneamente alte. Nel caso in cui le coppie di PWM sono contemporaneamente alte vengono entrambe poste a zero.

### clk\_debug

Il componente in esame è un divisore di clock che consente di generare un clock alla frequenza di 200 KHz a partire dal clock dell'oscillatore esterno che ha una frequenza di 48 MHz. Tale clock è utilizzato dal blocco piso\_out per l'invio di dati in uscita.

### piso\_out

È una struttura PISO (Parallel Input-Serial Output) che consente l'invio, dal FPGA al microcontrollore di alcuni dati e parametri di funzionamento del SMPPT. I dati inviati in uscita sono:

- Modalità di funzionamento del convertitore dc-dc;
- Valore duty cycle MOSFET M1;
- Valore duty cycle MOSFET M2;
- Bit di selezione della frequenza;
- Bit di selezione del dead-time.

### 3.3.3 Segnali di I/O del FPGA

A seguire sono elencati tutti i segnali ingresso/uscita del FPGA e, dove opportuno, sono fornite spiegazioni utili all'interpretazione degli stessi:

**Tabella 2. Segnali I/O FPGA.**

#	Pin name	Type	Pin Location	Connection	Note
1	CLK_48M_FPGA	IN	2	Oscillatore	f=48MHz
2	RESET_FPGA	IN	26	Microcontrollore	Resetta FPGA
3	ENABLE_FPGA	IN	27		Abilita blocchi FPGA
4	FPGA_SERIAL_IN_CLK	IN	11		CLK trasmissione dati e parametri in ingresso
5	FPGA_SERIAL_IN_START	IN	10		Inizio trasmissione dati in ingresso
6	FPGA_SERIAL_IN_VIN	IN	3		Tensione di ingresso del dc-dc
7	FPGA_SERIAL_IN_VOUT	IN	6		Tensione di uscita del dc-dc

8	FPGA_SERIAL_IN_IOUT_1	IN	9		*	
9	FPGA_SERIAL_IN_IOUT_2	IN	25		*	
10	FPGA_SERIAL_IN_IIN	IN	4		$I_{IN1}+I_{IN2}$	
11	FPGA_SERIAL_IN_START_PARAMETRI	IN	13		Inizio trasmissione parametri in ingresso	
12	FPGA_SERIAL_IN_PARAMETER	IN	12		$d_{M1}$ , $d_{M2}$ , bit <sub>dead-time</sub> , bit $f_{pwm}$ , force duty	
13	FORCE_BYPASS	IN	21		Consente di forzare la condizione di bypass dall'esterno	
14	FPGA_SERIAL_OUT_CLK	OUT	28		CLK trasmissione dati in uscita	
15	FPGA_SERIAL_OUT_START	OUT	20		Inizio trasmissione dati in ingresso	
16	FPGA_SERIAL_OUT_DATA	OUT	19		Dati modalità di funzionamento	
17	MODE_BOOST	OUT	46		Led	Modalità di funzionamento convertitore dc-dc
18	MODE_BUCK	OUT	47		Led	
19	MODE_BYPASS	OUT	48		Led	
20	PWM_M1[0]	OUT	34		Gate MOSFET	
21	PWM_M1[1]	OUT	35			
22	PWM_M2[0]	OUT	36			
23	PWM_M2[1]	OUT	37			
24	PWM_M3[0]	OUT	38			
25	PWM_M3[1]	OUT	42			
26	PWM_M4[0]	OUT	43			
27	PWM_M4[1]	OUT	44			
28	PWM_MBYPASS	OUT	45			

**FPGA\_SERIAL\_IN\_PARAMETER**

È un dato a 32 bit inviato in modo seriale dal microcontrollore al FPGA che consente di impostare dall'esterno il valore del duty dei MOSFET M1 e M2 e i valori di frequenza e dead-time delle PWM di controllo dei MOSFET. I 32 bit sono così suddivisi:

**Tabella 3. Bit del segnale FPGA\_SERIAL\_IN\_PARAMETER.**

bit		note
0...11	Duty M1	Valore duty cycle M1
12...23	Duty M3	Valore duty cycle M2
24...26	Bit frequenza	8 valori di frequenza
27...30	Bit dead-time	16 valori di dead-time
31	Force duty	Consente di forzare il valore di duty cycle dei MOSFET dall'esterno

Di seguito sono riportati i valori possibili di frequenza:

**Tabella 4. Valori di frequenza selezionabili.**

bit frequenza	Valore frequenza [KHz]	Note
000	100	Valore di default
001	80	
010	120	
011	150	
100	175	
101	200	
110	225	
111	250	

Di seguito sono riportati i valori possibili di dead-time (il valore del dead-time è pari al numero di periodi del clock a 48 MHz):

**Tabella 5. Valori di dead-time selezionabili.**

bit dead-time	Valore dead-time*	Note
0000	5	Valore di default
0001	1	
0010	2	
0011	3	
0100	4	
0101	5	
0110	6	
0111	7	
1000	8	
1001	9	
1010	10	
1011	11	
1100	12	
1101	13	
1110	14	
1111	15	

### FPGA\_SERIAL\_OUT\_DATA

Sono tre dati a 16 bit inviati in modo seriale dal FPGA al microcontrollore che li riceve mediante SPI. Le tre stringhe di 16 bit contengono le seguenti informazioni riguardanti le modalità di funzionamento del SMPPT:

**Tabella 6. Bit del primo dato del segnale FPGA\_SERIAL\_OUT\_DATA.**

data_1		
bit		note
15	'0'	Data 1
14	'0'	
13	'0'	
12	'1'	

11...0	Duty M1	Valore duty cycle M1
--------	---------	----------------------

Tabella 7. Bit del secondo dato del segnale FPGA\_SERIAL\_OUT\_DATA.

data_2		
bit		note
15	'0'	Data 2
14	'0'	
13	'1'	
12	'0'	
11...0	Duty M2	Valore duty cycle M2

Tabella 8. Bit del terzo dato del segnale FPGA\_SERIAL\_OUT\_DATA.

data_3		
bit		note
15	'0'	Data 3
14	'1'	
13	'0'	
12	'0'	
11...8	Bit dead-time	16 valori di dead-time
7...5	Bit frequenza	8 valori di frequenza
3	$V_{ref} A_0$	Definiscono se il valore della tensione di riferimento calcolata dal MPPT aumenta o diminuisce
4	$V_{ref} A_1$	
2	MODE_BOOST	Il dc-dc funziona in modalità boost
1	MODE_BUCK	Il dc-dc funziona in modalità buck
0	MODE_BYPASS	Il dc-dc funziona in modalità bypass

Le modalità di funzionamento del dc-dc converter sono rappresentati mediante tre bit:

Tabella 9. Bit modalità di funzionamento.

MODE_BYPASS	MODE_BUCK	MODE_BOOST	MODALITA' DI FUNZIONAMENTO
'0'	'0'	'1'	boost
'0'	'1'	'0'	buck
'0'	'1'	'1'	buck/boost
'1'	'0'	'0'	bypass

### 3.3.4 Ambiente di sviluppo FPGA

Esistono diversi produttori di FPGA; tra i più noti si ricordano Xilinx, Lattice e Altera. Ogni produttore fornisce il proprio tool per poter implementare la traduzione della logica descritta con linguaggi ad altro livello (VHDL/VERILOG).

Per sviluppare il progetto, basato su un FPGA Lattice della famiglia ICE40 Ultra Plus, è stato utilizzato il software ICEcube2.

In Figura 16, è possibile osservare la schermata iniziale del programma, dove, settando i diversi parametri, quali l’FPGA da utilizzare, cartelle di destinazione del progetto e Tool di simulazione, si può iniziare a scrivere il codice e procedere con le fasi del flusso di progettazione FPGA.

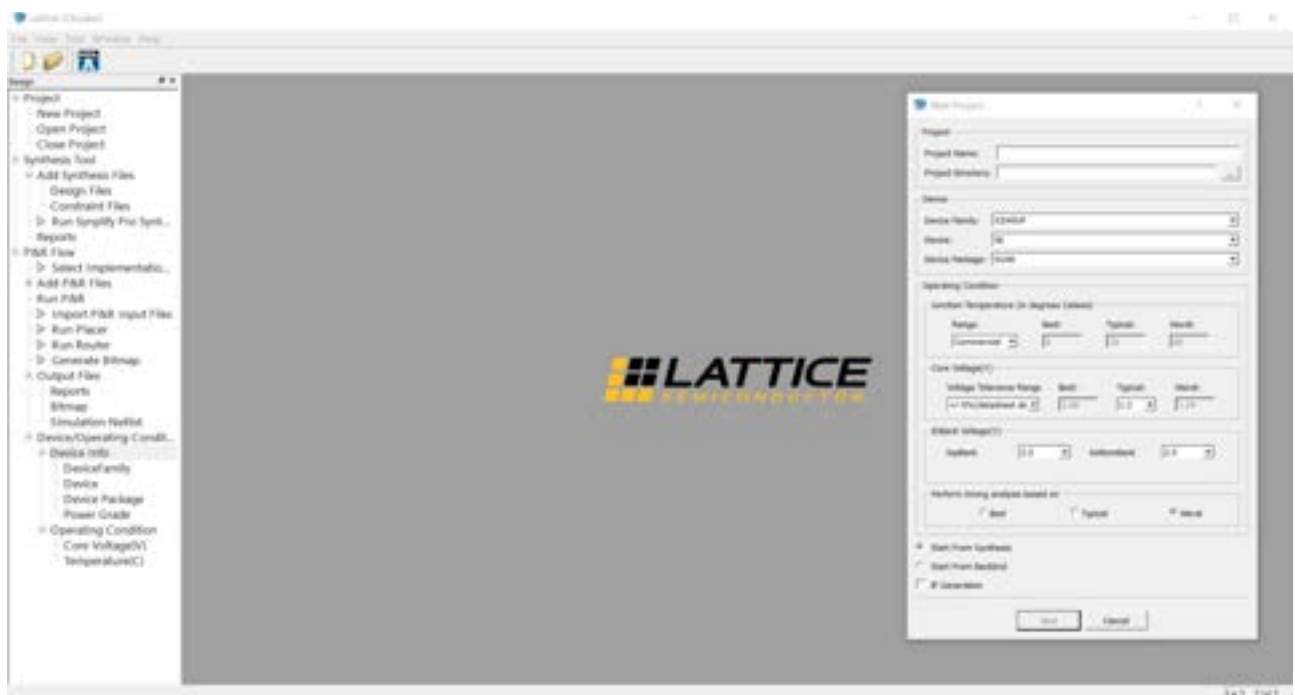


Figura 16. Schermata principale software ICEcube2.

Per la programmazione del FPGA è stato, invece, utilizzato il tool Diamond Programmer che consente la programmazione della FLASH, collegata al FPGA, attraverso il caricamento del file bitmap. In Figura 17, è riportata la schermata iniziale del programma.

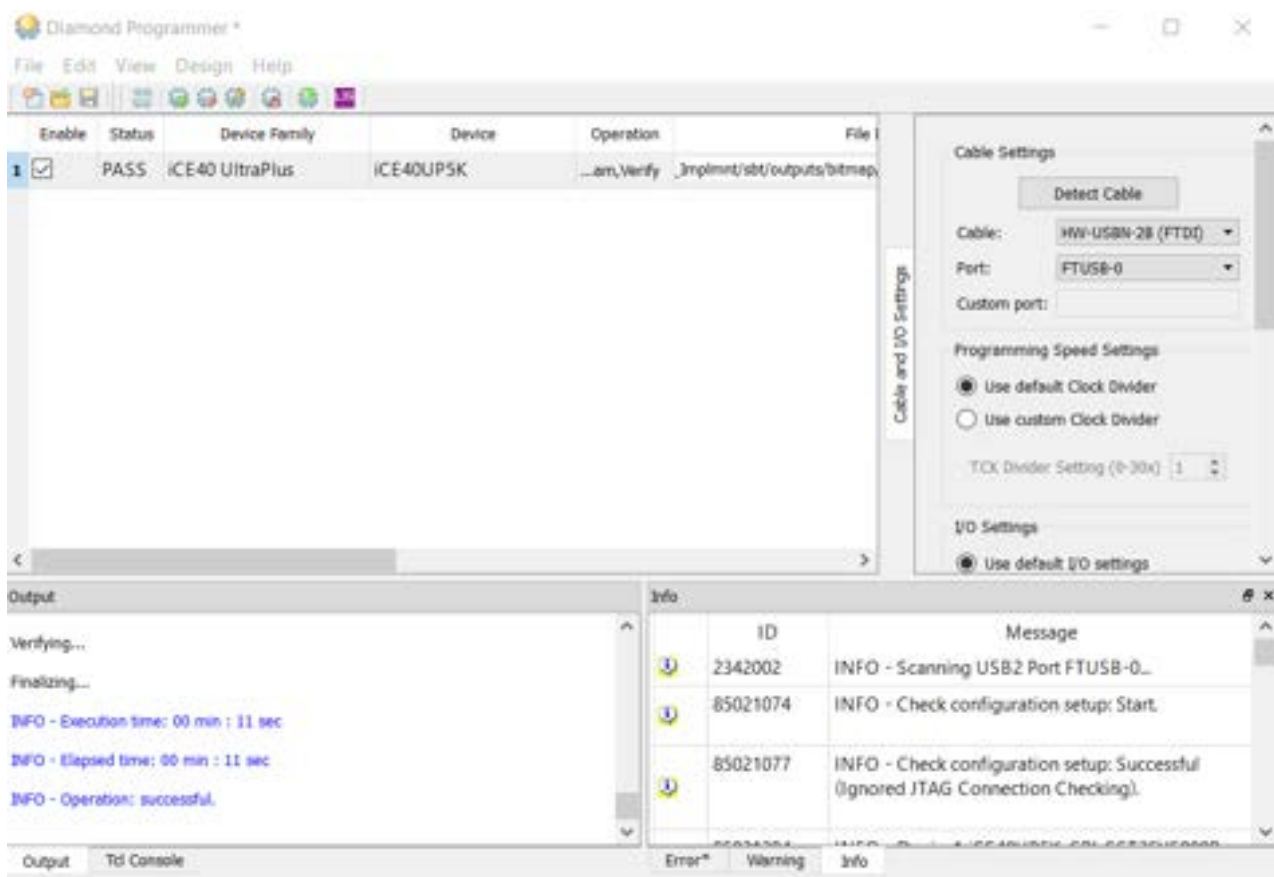


Figura 17. Schermata principale software Diamond Programmer.

### 3.4 Wi-Fi

Il modulo Wi-Fi Silicon Labs WGM110 [20] è un modulo all-inclusive caratterizzato da buone prestazioni RF, basso consumo energetico e facilità di sviluppo delle applicazioni.

Il modulo WGM110 integra tutti gli elementi necessari per applicazione IoT tra cui una radio 802.11b/g/n, certificazioni, microcontrollore, un server HTTP e più protocolli, come TCP e UDP.

Esso può fungere da client Wi-Fi o essere utilizzato come punto di accesso Wi-Fi. WGM110 può ospitare applicazioni utente BGScript™, il che significa che è possibile progettare applicazioni senza fare affidamento su un microcontroller esterno per gestire tutta la parte di comunicazione Wi-Fi.

Il modulo WGM110 dispone, inoltre, di interfacce hardware altamente flessibili che consentono la connessione a diverse periferiche e dispositivi esterni.



Figura 18. Modulo Wi-Fi WGM110.

Le uniche interfacce verso l'esterno, abilitate sulle schede progettate, sono due collegamenti UART, un collegamento per il debug del dispositivo ed uno per il collegamento al microcontrollore per inviare e ricevere i parametri di funzionamento del sistema e le misure di corrente, tensione, temperatura e potenza del sistema.

Il modulo all'accensione opera come access point e rende disponibile una rete Wi-Fi denominata "SMPPT-xxxxxxxxxx", dove xxxxxxxxxxxx corrisponde al MAC address del dispositivo.

All'interno del modulo è stato implementato un web server, accessibile tramite browser collegandosi all'indirizzo IP del dispositivo, tramite il quale è possibile monitorare il sistema e variare i parametri del convertitore e del collegamento Wi-Fi (scegliere ad esempio se far funzionare il sistema in modalità access point o in modalità client e a quale rete Wi-Fi collegarsi in quest'ultimo caso).

Nel modulo è stato, inoltre, implementato un sistema di Application Programming Interface (API) per la comunicazione con altri dispositivi nella stessa rete. I dettagli di tale protocollo sono descritti nell'Appendice A.

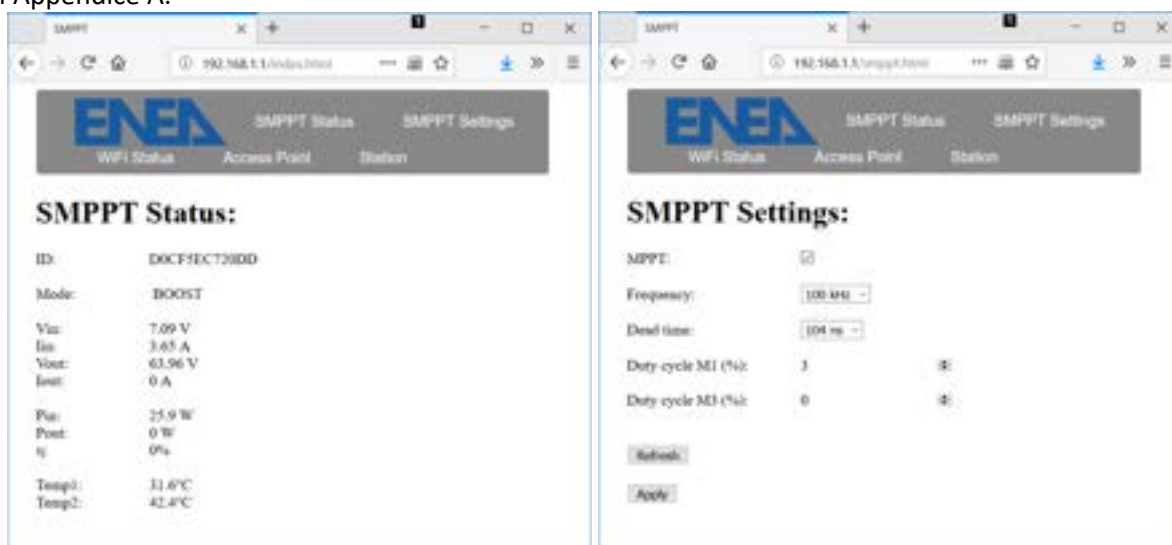


Figura 19. Modulo Wi-Fi WGM110.

### 3.5 Altri componenti della scheda di logica

#### Regolatori di tensione

La tensione in ingresso al circuito può variare da 15V a 70V, come da specifica. Tuttavia, per il corretto funzionamento dei circuiti sono necessari valori stabilizzati di tensione, in particolare:

Driver per il gate dei MOSFET: 12V

Microcontrollore, FPGA, modulo Wi-Fi e sensori: 3.3V

Queste tensioni, in particolar modo quella del microcontrollore, devono essere estremamente stabili. Per ottenere queste tensioni sul circuito sono stati utilizzati dei buck converter integrati, chip che integrano MOSFET e circuiti di controllo ad altissima efficienza con dimensioni minime. È possibile regolare la tensione di uscita di questi circuiti tramite un feedback a partitore resistivo. Attraverso una formula fornita dal costruttore, vengono scelte due resistenze apposite nel layout con cui è possibile stabilire una tensione di uscita nel range disponibile.

Per il progetto è stato usato un chip per generare 12V ed un regolatore ulteriore che trasforma 12V in 3.3V.

Gli integrati sono:

**LM5161** è un convertitore step-down sincrono 100-V [13], 1-A con MOSFET high-side e low-side integrati. Lo schema di controllo a tempo costante non richiede alcuna compensazione del loop e consente elevati rapporti step-down con una rapida risposta ai transienti. Esternamente richiede pochissimi componenti come riportato in Figura 20.

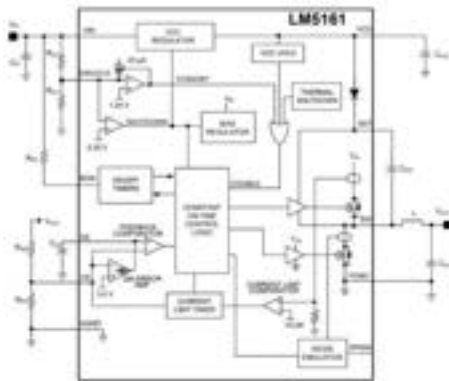


Figura 20. Schema interno regolatore di tensione LM5161 (Texas Instruments Incorporated).



Figura 21. PACKAGE LM5161 (Texas Instruments Incorporated).

**TPS561208**: è un convertitore step-down sincrono da 1-A [14] semplice da utilizzare in package SOT-23, è ottimo per operare con un numero minimo di componenti esterni.

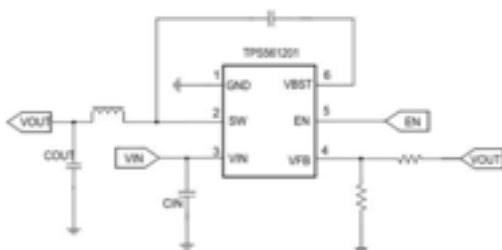


Figura 22. schema interno TPS511201 (Texas Instruments Incorporated).



Figura 23. PACKAGE TPS561201 (Texas Instruments Incorporated).

Tali dispositivi ed i relativi componenti esterni sono stati scelti per rispettare le specifiche relative a:

- (i) range tensioni di ingresso;

- (ii) tensione e corrente di uscita;
- (iii) potenza;
- (iv) efficienza desiderata.

### **Ulteriori componenti per la programmazione del FPGA**

La programmazione del FPGA avviene mediante un connettore micro-USB. La scheda è dotata di un chip FTDI (FT2232 [16]) che consente la conversione del segnale USB a SPI per consentire l'interfacciamento con FPGA. Il chip FPGA presenta una memoria RAM (memoria di tipo volatile) al suo interno, di conseguenza è stata utilizzata una memoria FLASH esterna (SST25VF080B [17]) per la memorizzazione del file bitmap da caricare sul FPGA.

### **3.6 Realizzazione del circuito stampato**

Per effettuare l'interfacciamento con le schede dell'FPGA e con la scheda di potenza sono stati predisposti dei pin-header che instradano:

- (i) Dalla scheda di potenza alla scheda logica:
  - Vin e Vout, Iin e Iout derivanti rispettivamente da partitori di tensione e dai sensori di corrente;
  - alimentazione fornita dal pannello fotovoltaico;
  - dalla scheda di logica alla scheda di potenza;
  - alimentazione per driver 12V;
  - alimentazione per sensori di corrente 3.3V;
  - PWM generati dall'FPGA;
  - segnale BYPASS;
  
- (ii) Dalla scheda di logica all'esterno:
  - UART;
  - interruttore RESET;
  - Pin di debug per FPGA;
  - Pin di programmazione del microcontrollore e del Wi-Fi.

La Figura 24 seguente, invece, mostra una foto della scheda di logica. Gli schematici e i layout utilizzati per la sua realizzazione, con indicazione dei vari connettori, sono riportati nell'Appendice B.

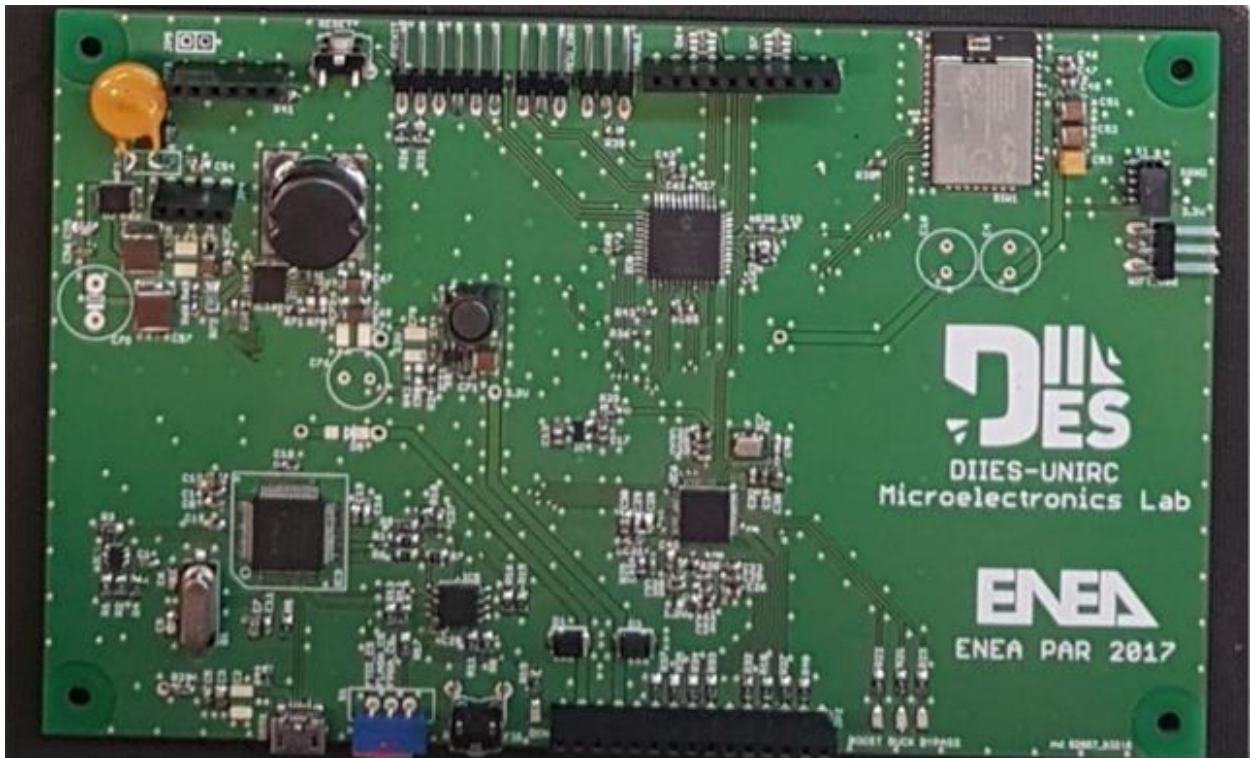


Figura 24. Top view dalla scheda di controllo.

## 4. Design e Realizzazione delle schede di potenza

In questo paragrafo sono descritte la tipologia di dc-dc converter utilizzato per la realizzazione del SMPPT, la scelta dei componenti e la sua realizzazione.

Sono stati realizzati tre circuiti per la parte di conversione di potenza: il primo circuito è stato realizzato con dei MOSFET in Silicio; il secondo circuito è stato realizzato con MOSFET in Carburo di Silicio; infine, il terzo fa uso di HEMT in Nitruro di Gallio.

### 4.1 Buck-boost dc-dc converter (full bridge)

In Figura 25 è riportato lo schema circuitale del buck-boost dc-dc convertitore utilizzato:

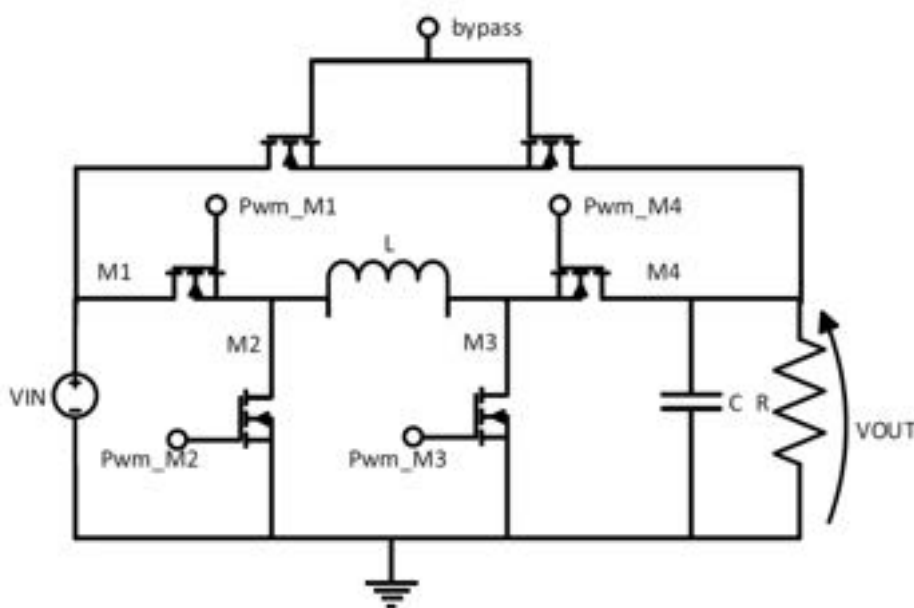


Figura 25. Circuito a MOSFET in configurazione full-bridge con bypass.

Il dc-dc converter in Figura 25 funziona sia da innalzatore che da riduttore di tensione. In particolare:

- se M4 viene mantenuto sempre acceso e M3 sempre spento allora il circuito risultante sarà un buck converter;
- se M1 viene mantenuto sempre acceso e M2 sempre spento allora la topologia risultante sarà un boost converter.

La topologia full-bridge richiede tecniche di controllo molto più sofisticate dei semplici circuiti a singolo interruttore. Ad esempio, bisogna sempre evitare di accendere contemporaneamente gli interruttori sulla stessa “gamba”, cioè M1 e M2 o M3 e M4, al fine di evitare problemi di cortocircuito tra alimentazione e massa.

Il convertitore prevede, inoltre, due MOSFET aggiunti (M5, M6) tra ingresso e uscita, utilizzati per “bypassare” il dc-dc converter quando è richiesta una tensione di uscita compresa nell’intervallo del  $\pm 5\%$  della tensione di ingresso. Tale configurazione permette di raggiungere quasi il 100% di efficienza nella condizione in cui  $V_{in} \approx V_{out}$ , in quanto, escludendo la parte di controllo in commutazione, la sola dissipazione si avrà sulla  $R_{ds(on)}$  dei dispositivi. I MOSFET di bypass sono disposti a specchio, il che consente di avere i due diodi interni sempre contro polarizzati.

## 4.2 MOSFET in Silicio

La piattaforma Pi.Con-RET ha consentito l'individuazione di soluzioni SMPPT per diversi contesti applicativi, partendo dalle specifiche progettuali. In dettaglio, tra tutte le soluzioni individuate dal software sono stati selezionati tre convertitori SMPPT caratterizzati dagli stessi componenti induttivi e capacitivi. La presenza in ciascun convertitore di dispositivi switching, basati su Si, SiC e GaN, ha permesso di prototipare e avviare una caratterizzazione comparativa tra le tre soluzioni.

In dettaglio, per lo sviluppo della scheda sono stati individuati i MOSFET IPB038N12N3G della Infineon [15]: si tratta di transistor a canale N con una bassissima  $R_{DS}$ , che permette di contenere le perdite di potenza statica. Inoltre, essi sono dotati di una piccola carica di gate  $Q_g$ , tale da abbassare le perdite di potenza dinamica. In Tabella 10 sono riassunte le caratteristiche dei MOSFET in Silicio utilizzati.

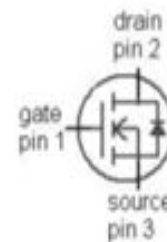
**Tabella 10. Caratteristiche MOSFET in Silicio.**

Tensione di breakdown ( $V_{ds}$ )	120	V
Resistenza Drain-Source ( $R_{DS}$ )	3.8	m $\Omega$
Corrente di Drain ( $I_D$ )	120	A
Tensione di soglia ( $V_{GS(th)}$ )	4	V
Capacità di uscita ( $C_{oss}$ )	1760	pF
Delay time in accensione ( $t_{d(on)}$ )	35	ns
Tempo di salita ( $t_r$ )	52	ns
Delay time in spegnimento ( $t_{d(off)}$ )	70	ns
Tempo di discesa ( $t_f$ )	21	ns
Carica di gate totale ( $Q_g$ )	158	nC
Carica di reverse recovery ( $Q_{rr}$ )	356	nC

Il package scelto è del tipo PG-TO263-3 (Figura 26), che ha permesso l'utilizzo della piazzola del circuito stampato come dissipatore, saldando il contatto di drain, senza utilizzare ingombranti dissipatori esterni.



**Figura 26. MOSFET Silicio.**



**Figura 27. Pinout MOSFET in silicio.**

## 4.3 MOSFET in Carburo di Silicio

I dispositivi di commutazione in SiC della seconda scheda di potenza sono i C3M0065090J della Cree [21]. Si tratta di dispositivi di nuova generazione con una tensione di breakdown di 900V, ottimizzati per applicazioni di elettronica di potenza come inverter per energie rinnovabili. Essi possono essere integrati in sistemi elettrici per la ricarica di veicoli elettrici e in altri circuiti in cui sono richieste sicurezza, affidabilità e durata, grazie alle proprietà del SiC. Nella Tabella 11 sono riportate le caratteristiche dei MOSFET in SiC.

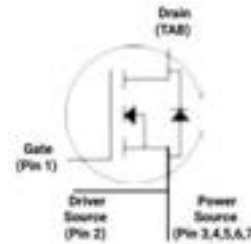
**Tabella 11. Caratteristiche dispositivo in Carburo di Silicio.**

Tensione di breakdown ( $V_{ds}$ )	900	V
Resistenza Drain-Source ( $R_{DS}$ )	65	m $\Omega$
Massima corrente di Drain ( $I_D$ )	35	A
Tensione di soglia ( $V_{GS(th)}$ )	3.5	V
Capacità di uscita ( $C_{oss}$ )	60	pF
Delay time in accensione ( $t_{d(on)}$ )	9	ns
Tempo di salita ( $t_r$ )	10	ns
Delay time in spegnimento ( $t_{d(off)}$ )	16	ns
Tempo di discesa ( $t_f$ )	6	ns
Carica di gate totale ( $Q_g$ )	30.4	nC
Carica di reverse recovery ( $Q_{rr}$ )	245	nC

Il package adottato, in questo caso, è di tipo TO-263-7, con il pad di drain utile a dissipare calore tramite il rame del circuito stampato. A differenza del package del silicio, ci sono più contatti di source (Figura 28), di cui uno (DS) separato dal resto dei contatti dove transitano i segnali di potenza, che può essere usato come riferimento del circuito di pilotaggio, riducendo gli elementi parassiti ed i disturbi di switching.



**Figura 28. MOSFET in SiC.**



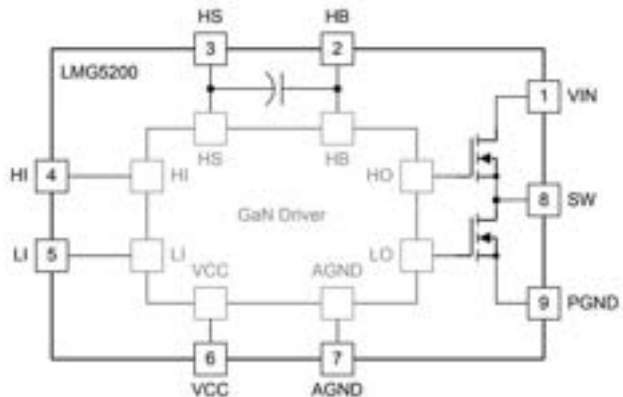
**Figura 29. Pinout MOSFET in SiC.**

#### 4.4 FET in Nitruro di Gallio

I FET in GaN, selezionati della terza scheda di potenza, sono gli LMG5200 della Texas Instruments [22]. Il dispositivo è costituito da due HEMT (High Electron Mobility Transistor) planari di GaN ad arricchimento da 80 V in configurazioni di tipo bridge half-bridge, pilotati da un driver integrato a FET GaN ad alta frequenza. Tali dispositivi sono molto adatti per essere utilizzati a frequenze di switching molto elevate, fino a 10 MHz. Ai fini dell'analisi comparativa tra le tre soluzioni SMPPT, la frequenza di switching della terza scheda è anch'essa pari a 10kHz.



**Figura 30. Half-Bridge con MOSFET in GaN.**



**Figura 31. Pinout mosfet in GaN.**

Le principali caratteristiche di questo dispositivo sono riportate in Tabella 12.

**Tabella 12. Caratteristiche dispositivo in Carburo di Silicio.**

Tensione di breakdown ( $V_{ds}$ )	100	V
Resistenza Drain-Source ( $R_{DS}$ )	15	m $\Omega$
Massima corrente di Drain ( $I_D$ )	10	A
Tensione di soglia ( $V_{GS(th)}$ )	-	V
Capacità di uscita ( $C_{oss}$ )	266	pF
Delay time in accensione ( $t_{d(on)}$ )	29.5	ns
Tempo di salita ( $t_r$ )	<5	ns
Delay time in spegnimento ( $t_{d(off)}$ )	29.5	ns
Tempo di discesa ( $t_f$ )	<5	ns
Carica di gate totale ( $Q_g$ )	3.8	nC
Carica di reverse recovery ( $Q_{rr}$ )	0	nC

#### 4.5 Confronto caratteristiche MOSFET

Dal confronto tra le tabelle 10, 11 e 12, è possibile notare che il dispositivo in SiC presenta caratteristiche nettamente superiori a quelle del dispositivo in Si per quanto riguarda il comportamento dinamico. La capacità di uscita  $C_{oss}$  risulta, infatti, quasi 100 volte più piccola e i tempi di salita e discesa sono minori. Tuttavia, si osserva un peggioramento delle prestazioni statiche dovuto alla maggiore  $R_{DS}$ , che, a sua volta, dipende dal maggiore spessore della regione epitassiale del MOSFET necessaria per sostenere una tensione di breakdown molto più grande. Purtroppo, come noto, in commercio non sono disponibili SiC-MOSFET con tensione di breakdown di circa 100 V, valore ottimale per il progetto di SMPPT per moduli fotovoltaici.

Inoltre, i MOSFET in SiC presentano un problema progettuale aggiuntivo rispetto a quelli in Si: non basta una  $V_{gs}$  pari a zero per garantirne lo spegnimento, ma essa deve assumere un valore negativo, rendendo più complesso il circuito di pilotaggio.

Dalle tabelle suddette si nota, inoltre, come le migliori prestazioni dinamiche sono offerte dai dispositivi in GaN, che presentano valori migliori sia dei tempi di salita e discesa, sia dei contributi capacitivi. Tuttavia, la loro  $R_{DS}$  è circa quattro volte superiore a quella dei MOSFET in Si utilizzati per questo progetto, causando un maggior contributo di potenza statica dissipata.

#### 4.6 Driver

I segnali PWM che gestiscono i MOSFET sono generati dall'FPGA, che non può fornire in uscita correnti elevate. Per far funzionare correttamente i MOSFET bisogna caricare completamente e velocemente la capacità di gate, per minimizzare i tempi di spegnimento ed accensione. Maggiore è la corrente di carica, più veloci sono i tempi di salita e discesa. A questo scopo sono utilizzati opportuni dispositivi di interfaccia tra la logica a bassa potenza, che genera il segnale, e i MOSFET di potenza. Questi dispositivi, noti come driver di gate, ricevono in ingresso un segnale a bassa corrente e bassa tensione, mentre in uscita generano un segnale ad una tensione scelta dal progettista (superiore alla tensione di soglia) ed una corrente dipendente dal driver utilizzato; maggiore è il valore di questa corrente, più piccoli sono  $t_t$  e  $t_f$ , di conseguenza minori saranno le perdite dinamiche sui dispositivi.

Nel circuito buck-boost full-bridge ci sono due MOSFET con il source a massa e altri due con il source collegato ai pin dell'induttore, ovvero non riferito a massa, di seguito chiamati MOS alti.

Affinché un MOSFET a canale  $n$  risulti completamente acceso, deve essere vera la seguente relazione:

$$V_g - v_s > v_{gs(th)}$$

Risulta chiaro che, se il source si trova a potenziale zero, per accendere completamente il MOSFET basterà applicare una tensione sulla gate maggiore o uguale della tensione di soglia. Al contrario, nel caso dei MOSFET con il source collegato all'induttore,  $v_s$  è nulla e, quindi, la tensione del gate dovrà essere più alta di quella di source di un'aliquota ben superiore alla tensione di soglia. Per questo motivo è necessario ricorrere a driver particolari (High-Side) con un circuito di bootstrap al loro interno, oppure a dei driver isolati.

### DRIVER HIGH-SIDE (BOOTSTRAP)

In Figura 32 è illustrato un esempio di circuito di bootstrap, applicato al pilotaggio del MOSFET M1 di una gamba del full-bridge:

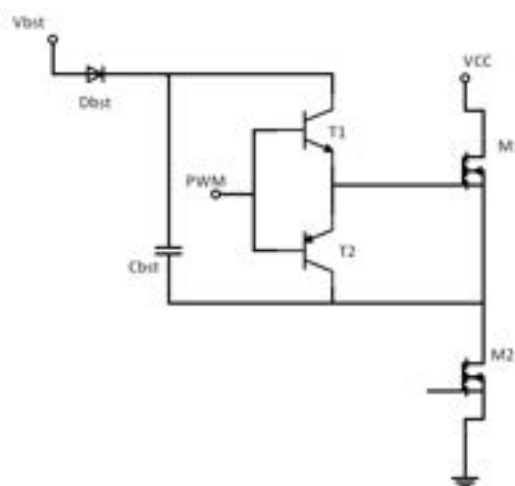


Figura 32. Esempio circuito bootstrap.

$V_{bst}$  è la tensione che si vuole imporre tra source e gate del MOSFET M1. Il segnale di controllo non pilota direttamente il MOS, ma tramite due transistor bipolari (T1 e T2).

Analizzando il circuito di Figura 32, a partire dal segnale PWM basso, risulterà T1 spento e T2 acceso, e quindi tra gate e source di M1 non ci sarà una differenza di potenziale e quindi M1 risulterà spento. Con M1 spento il path tra VCC e massa sarà sicuramente a corrente nulla, quindi indifferentemente se M2 sia acceso o, se al posto di M2 ci sia un generico carico, ritroveremo il source di M1 collegato a massa. In questa condizione il diodo Dbst caricherà la capacità alla tensione  $V_{bst}$ .

Quando il segnale PWM sarà alto, ipotizzando di aver avuto il tempo per caricare completamente il condensatore alla d.d.p.  $V_{bst}$ , T2 sarà spento e T1 acceso. Durante tale condizione di funzionamento, sul terminale di gate di M1 ci sarà una tensione pari a:

$$V_g = V_{bst} + V_s$$

Imponendo quindi una  $V_{bst}$  maggiore della tensione di soglia si otterrà l'esito desiderato, ovvero l'accensione del MOSFET.

Tuttavia, nell'implementazione del convertitore dc-dc è necessario avere intervalli di funzionamento in cui i MOSFET alti sono accesi per molto tempo, e questo non consente di ricaricare la capacità di bootstrap con conseguenze negative sul normale funzionamento del circuito.

Per risolvere questo problema, prendendo in esempio la condizione di boost in cui M1 deve rimanere sempre acceso, è stata adottata la seguente strategia: anziché applicare alla gate del dispositivo un segnale continuo, si applica ad essa una PWM a frequenza molto bassa e con duty-cycle prossimo all'unità. In questo modo, ad ogni periodo del segnale la capacità può essere ricaricata per fornire la tensione di bootstrap necessaria. Ciò purtroppo comporta la nascita di perdite e disturbi che si è cercato di limitare il più possibile. Per rispettare questo obiettivo occorre, infatti, trovare un bilanciamento tra le varie

problematiche descritte e, in particolare, utilizzare un duty-cycle prossimo all'unità, ma sufficiente a ricaricare periodicamente il condensatore e frequenza del segnale abbastanza bassa, in modo da non incrementare la dissipazione di potenza.

Il driver utilizzato per lo sviluppo della scheda in Silicio è l'UCC27211A-Q1 della Texas Instrument [23]. Si tratta di un driver il cui picco di corrente raggiunge i 4A, consentendo il pilotaggio di MOSFET di potenza con grossi carichi capacitivi, minimizzando le perdite di switching durante il transitorio.

### DRIVER HIGH-SIDE ISOLATO

I driver isolati sono una soluzione molto semplice al problema del pilotaggio dei MOSFET alti. In tal caso, la parte logica a bassa potenza del driver è isolata dalla parte di output, con il vantaggio di non dover utilizzare una capacità di bootstrap. Infatti, viene utilizzata una sorgente di tensione isolata dal resto del circuito, cioè con un riferimento a massa differente, consentendo di mantenere una  $V_{gs}$  costante, riferendo questa tensione isolata non alla massa generale, ma bensì al source del dispositivo.

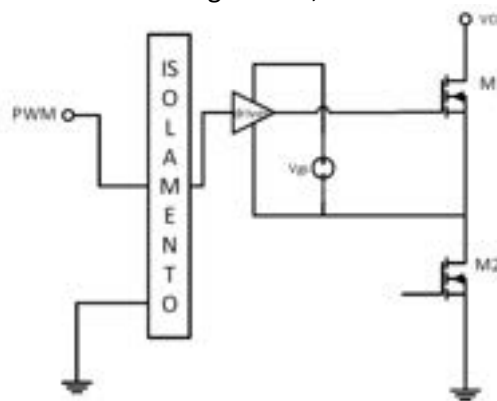


Figura 33. Esempio di driver isolato.

Questa tipologia di driver elimina tutti i problemi della precedente, però comporta svantaggi in termini di area, costi maggiori per l'aggiunta delle sorgenti di tensioni isolate e perdita di potenza dovuta ai circuiti necessari all'isolamento. Questi driver sono fondamentali per il pilotaggio dei MOSFET in SiC, perché è possibile alimentare gli stadi isolati di uscita tramite i dc-dc utilizzati per il pilotaggio dei MOSFET.

Il driver utilizzato per il carburo di silicio è il Si82396 della Silicon Labs, esso consiste in un integrato che combina due driver isolati dall'ingresso digitale e tra di loro e anch'esso è capace di erogare 4A di corrente di picco. In coppia con questa tipologia di driver è stato utilizzato un convertitore dc-dc isolato R12P21503D della Recom, descritto nel paragrafo 4.9.

### ISOLATED FET DRIVER

Questo tipo di driver è stato utilizzato per il controllo dei MOSFET di bypass. In particolare, è stato scelto il driver Si8752 della Silicon LAB [24]. Lo schema di collegamento tra il driver e MOSFET di BYPASS è riportato in Figura 34.

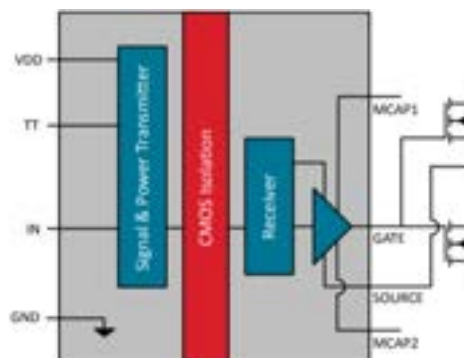


Figura 34. Schema di collegamento tra Si8752 e MOSFET di bypass.

## 4.7 Sensore di corrente

La corrente in ingresso e in uscita dal circuito di potenza viene misurata attraverso una resistenza di shunt posta in serie (high-side). Questa resistenza deve avere un valore molto piccolo per ridurre la dissipazione di potenza su di essa e nel caso in oggetto è di 1.5mΩ. La caduta di potenziale su questo resistore è molto piccola ed è proporzionale alla corrente che lo attraversa. Per adattare questa caduta di potenziale alla dinamica di ingresso dell'ADC è necessario interporre un amplificatore fra di essi. In commercio esistono degli integrati ottimizzati a questo scopo, i sensori di corrente. Quello utilizzato per lo sviluppo del progetto è l'INA240A4 riportato in Figura 35.

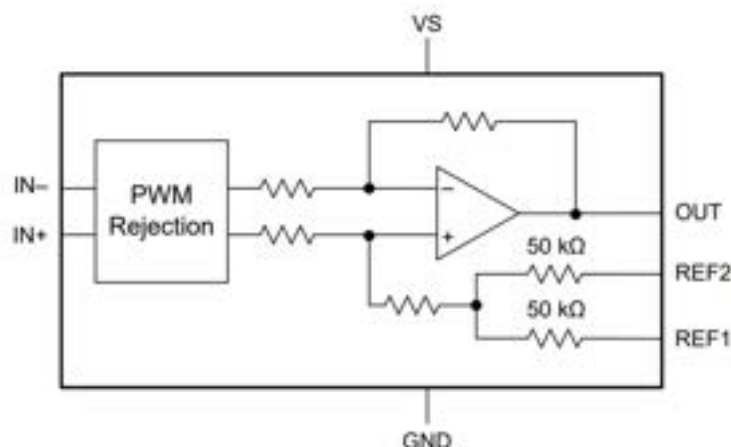


Figura 35. Schema sensore di corrente INA240A4.

Le caratteristiche fondamentali del sensore di corrente sono riportate in Tabella 13.

Tabella 13. Specifiche sensore di corrente.

Power supply	2.7 to 5.5	V
Analog inputs differential	-80 to 80	V
Analog inputs common_mode	-6 to 90	V
Gain	200	V/V
Bandwith	100	kHz

dove:

l'alimentazione è stata scelta in modo da essere condivisa con il microcontrollore (3.3V); il massimo valore di input di modo comune è compatibile con le caratteristiche del circuito; Il guadagno pari 200 V/V in coppia con la resistenza di shut consente di ottenere una buona risoluzione; la banda passante è compatibile con la componente frequenziale dovuta allo switching.

## 4.8 Induttore e condensatore

L'induttore delle tre schede di potenza è il modello, 74436413300 della Wurt. Tale componente in ferrite-zinco-manganese è caratterizzato da un'induttanza di 33uH. Esso è ottimizzato per i convertitori dc-dc, infatti, presenta una bassissima resistenza serie ed è a filo piatto per ottimizzare le perdite.



**Figura 36. Induttore fisso WE-HCF HighCurr 2815 33uH 36A.**

Inoltre, sono state scelte due tipologie di condensatori differenti da parallelizzare, elettrolitici e ceramici, in modo da abbattere la resistenza serie ed abbassare il ripple. Entrambe le tipologie di condensatori sono a bassa ESR (resistenza equivalente serie), ma i ceramici sono caratterizzati da una resistenza serie molto più bassa.

#### 4.9 Altri componenti della scheda di potenza

##### Convertitore dc-dc isolato scheda in SiC

Per pilotare i drive isolati per i MOSFET in SiC è stato necessario aggiungere dei convertitori dc-dc in grado di fornire delle tensioni pari a -3, +15V per lo spegnimento e l'accensione dei MOSFET.

Il dc-dc selezionato è R12P21503D della RECOM Power riportato in Figura 37.



**Figura 37. Convertitore DCDC isolato R12P21503D.**

Le caratteristiche principali del convertitore sono riportate nella seguente in Tabella 14:

**Tabella 14. Specifiche RECOM R12P21503D.**

Minima tensione in ingresso (Min)	10.8V
Massima tensione in ingresso (Max)	13.2V
Tensione di uscita 1	15V
Tensione di uscita 2	-3V
Corrente di uscita (Max)	93 mA, 184 mA
Potenza	2 W
Efficienza	84%

##### Regolatore di tensione per scheda GaN

Per il funzionamento della scheda basata su transistor in GaN è stato necessario aggiungere un regolatore di tensione per generare una tensione di 5V isolata da fornire ai Driver degli half-bridge. Il regolatore selezionato è il TPS561208, precedentemente descritto.

#### 4.10 Realizzazione del circuito stampato

Il layout della scheda è stato disegnato e ottimizzato tramite il software di sbroglio circuitale Autocad EAGLE. Nella progettazione si è data importanza ad alcuni aspetti per evitare problemi dovuti alle alte frequenze, alle alte correnti in gioco. Sono state seguite le seguenti linee guida per garantire il corretto funzionamento del circuito:

- i condensatori di filtro per le alimentazioni dei vari chip (driver e sensori di corrente) sono stati collocati il più vicino possibile al dispositivo stesso;
- la resistenza di shunt è collegata il più vicino possibile al sensore di corrente, minimizzando eventuali cadute di tensione sui collegamenti che potrebbero causare errori di lettura;
- sono evitati path diretti tra la massa del driver lato logico e le masse derivanti da punti in cui avvengono commutazioni ad alta frequenza ed alta corrente. Questo risulta utile per evitare disturbi sui segnali a basso voltaggio e bassa potenza in uscita dal FPGA;
- i transistor M1 ed M2 hanno un path di collegamento tra di loro e le relative capacità di ingresso sono molto compatte e corte, lo stesso vale per M3, M4 e le capacità di uscita. Questo serve a diminuire gli elementi parassiti in percorsi dove c'è una frequente commutazione ad alta corrente;
- è stato evitato il piazzamento di linee di segnale a bassa potenza nelle vicinanze di linee ad alta frequenza e alta corrente per evitare accoppiamenti induttivi e quindi rumore sui segnali;
- è stata effettuata una differenziazione del piano di massa vicino alla parte di potenza dal piano di massa dei segnali, creando dei percorsi preferenziali per la corrente che non dovrà causare rumore sul piano di massa utilizzato dalla parte logica;
- ove necessario, è stato effettuato un piazzamento delle resistenze di gate Rg tra le uscite dei driver ed i MOSFET per ridurre le sovra elongazioni di tensione ai capi del dispositivo che potrebbero causarne la rottura. Queste resistenze rallentano la dinamica dei MOSFET, per questo è stato trovato un compromesso tra l'abbattimento delle sovratensioni e il consumo dinamico;
- è stato effettuato il collegamento in parallelo ai MOSFET di un diodo schottky (più performante dei diodi interni ai MOSFET), necessario per condurre nei "tempi morti" tra l'accensione e lo spegnimento dei MOS della stessa gamba.

##### 4.10.1 Board di potenza

Nelle figure 38, 39 e 40 sono riportate le top view delle schede di potenza realizzate, mentre gli schemi e i layout utilizzati per la loro realizzazione sono riportati nell'Appendice C.



Figura 38. Top view dalla scheda di potenza in Silicio.



Figura 39. Top view dalla scheda di potenza in Carburo di Silicio.



Figura 40. Top view dalla scheda di potenza in Nitruro di Gallio.

#### 4.10.2 Connessione tra le board

Di seguito sono riportate due immagini delle schede realizzate connesse tra di loro. In particolare, in Figura 41 è riportata la scheda di logica su cui sono connesse due schede di potenza che consentono il funzionamento del SMPPT in modalità "interleaved".

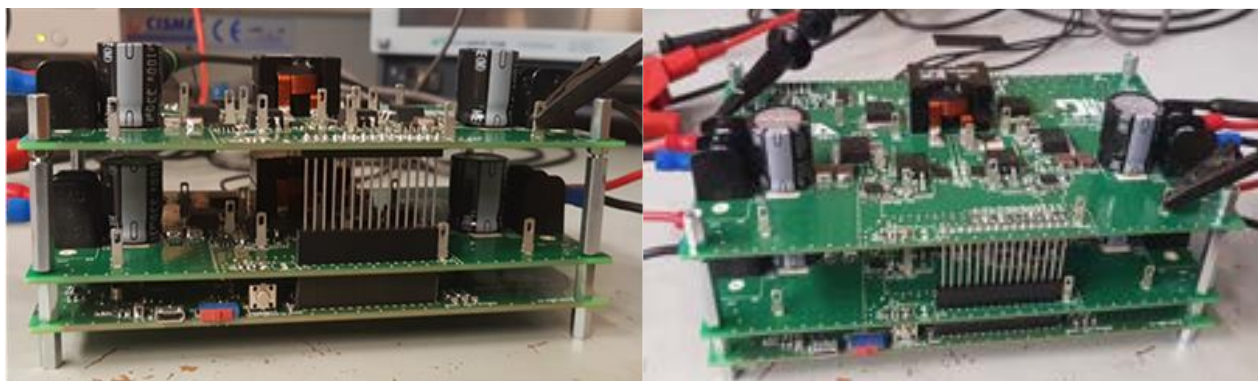


Figura 41. Immagini del SMPPT.

## 5. Test degli SMPPT e confronti

### 5.1 Introduzione

Le tre schede sono state caratterizzate e le relative prestazioni sono state messe a confronto, principalmente in termini di efficienza di conversione e capacità di agganciare il punto di massima potenza del generatore test posto in ingresso. Si riportano, nel seguito, alcune delle caratteristiche ottenute. Resta in ogni caso da evidenziare che l'estrema versatilità dei circuiti progettati, sia in termini di firmware che di componenti hardware, rende possibile la sperimentazione di un numero pressoché infinito di configurazioni, che potrebbero evidenziare prestazioni diverse da quelle raggiunte in questa prima fase di sperimentazione.

### 5.2 Test dello SMPPT con MOSFET di Silicio

#### MPP TRACKING

Sono stati effettuati una serie di test utilizzando il Modular Solar Array Simulator di Agilent Technologies in dotazione presso ENEA di Portici, al fine di caratterizzare la bontà del tracking del MPP, la velocità di convergenza e la stabilità nel tempo.

Per quanto riguarda la scheda di potenza con MOSFET in Si, i risultati sono stati ottenuti con vari MPP da 100 W a 250 W, con varie combinazioni di Voc e Isc.

Il MPP è raggiunto con buona precisione tra il 99.5% e il 100%, mostrando una velocità di convergenza (da boot) inferiore alla decina secondi. La risposta alla variazione della condizione in stato di on è dell'ordine di qualche secondo.

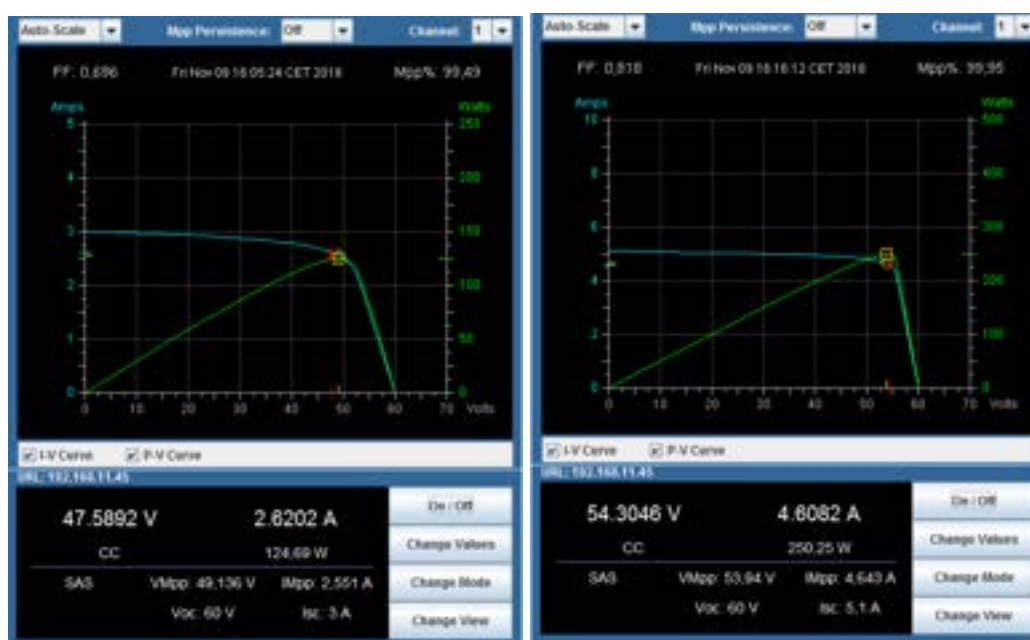


Figura 42. Misure di MPP tracking per la scheda di potenza con MOSFET in Si per Pin di 124 W e Pin di 250 W.

#### RIPPLE

Sono state effettuate misure per verificare e quantificare la presenza di ripple sulle tensioni e correnti in ingresso e in uscita allo SMPPT.

Considerando potenze in ingresso di 250W, si è potuto osservare un ripple sulla tensione e la corrente di uscita con valori massimi, rispettivamente, di circa 1 V pk-pk e 40 mA pk-pk.

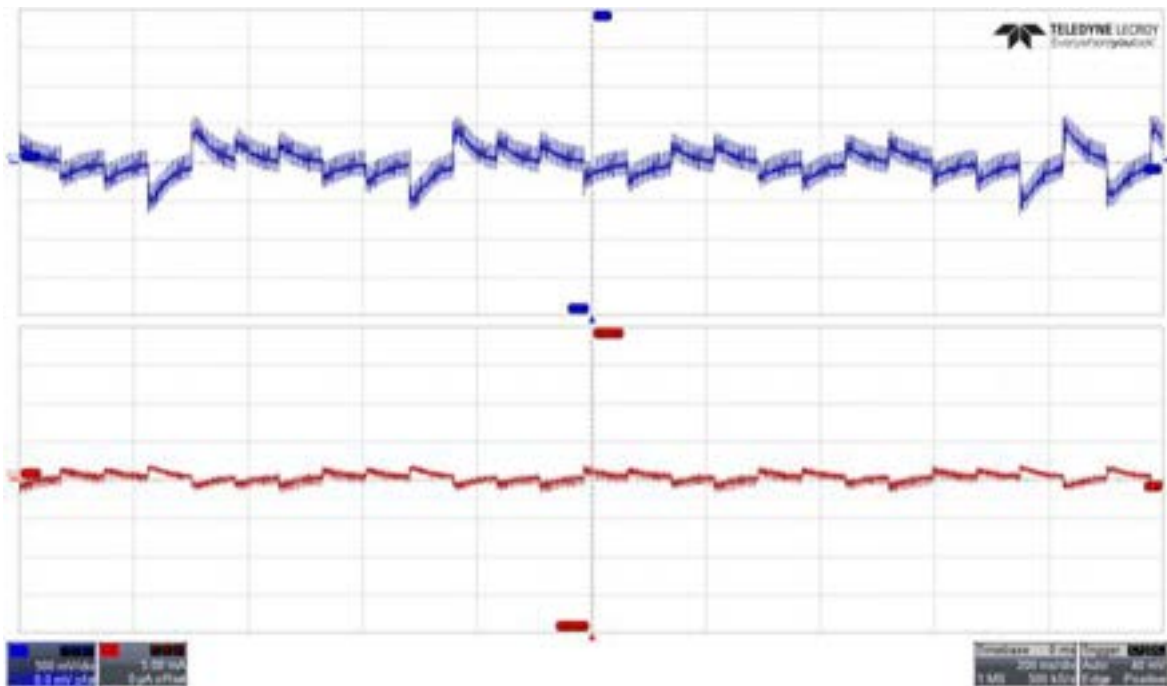


Figura 43. Misura del ripple della tensione in ingresso (scheda di potenza in Si) in condizioni di  $P_{in} = 250W$ .

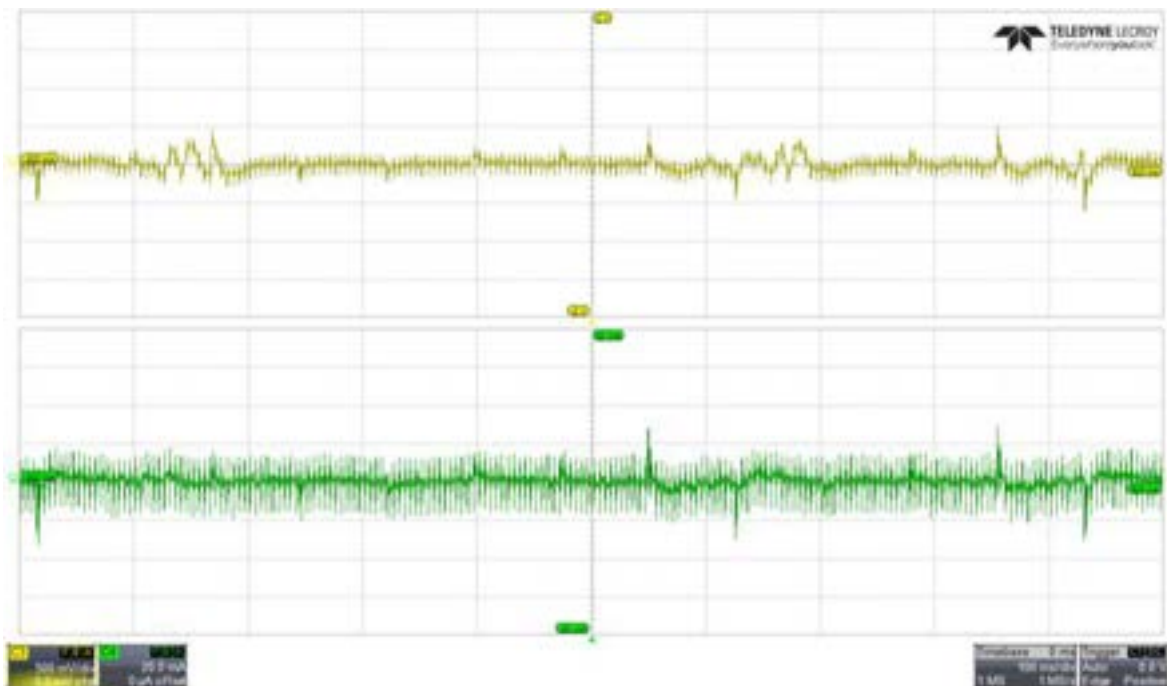


Figura 44. Misura del ripple della tensione di uscita (scheda di potenza in Si) in condizioni di  $P_{in} = 250W$ .

## EFFICIENZA

Come suffragato anche dalle misure sperimentali, i MOSFET in Si presentano buone prestazioni per i regimi di potenza considerati. L'efficienza ( $\eta$ ) è superiore al 96.5 % nel range di potenze di ingresso considerato (da 50 a 300W). Dalla Figura 45 (b) si può notare che  $\eta$  assume il massimo valore per un dead-time pari a 187 ns (è consigliabile non utilizzare valori di dead-time inferiori a 104 ns).

L'efficienza diminuisce in modo esponenziale al variare della frequenza di switching (è consigliabile non superare 150 kHz).

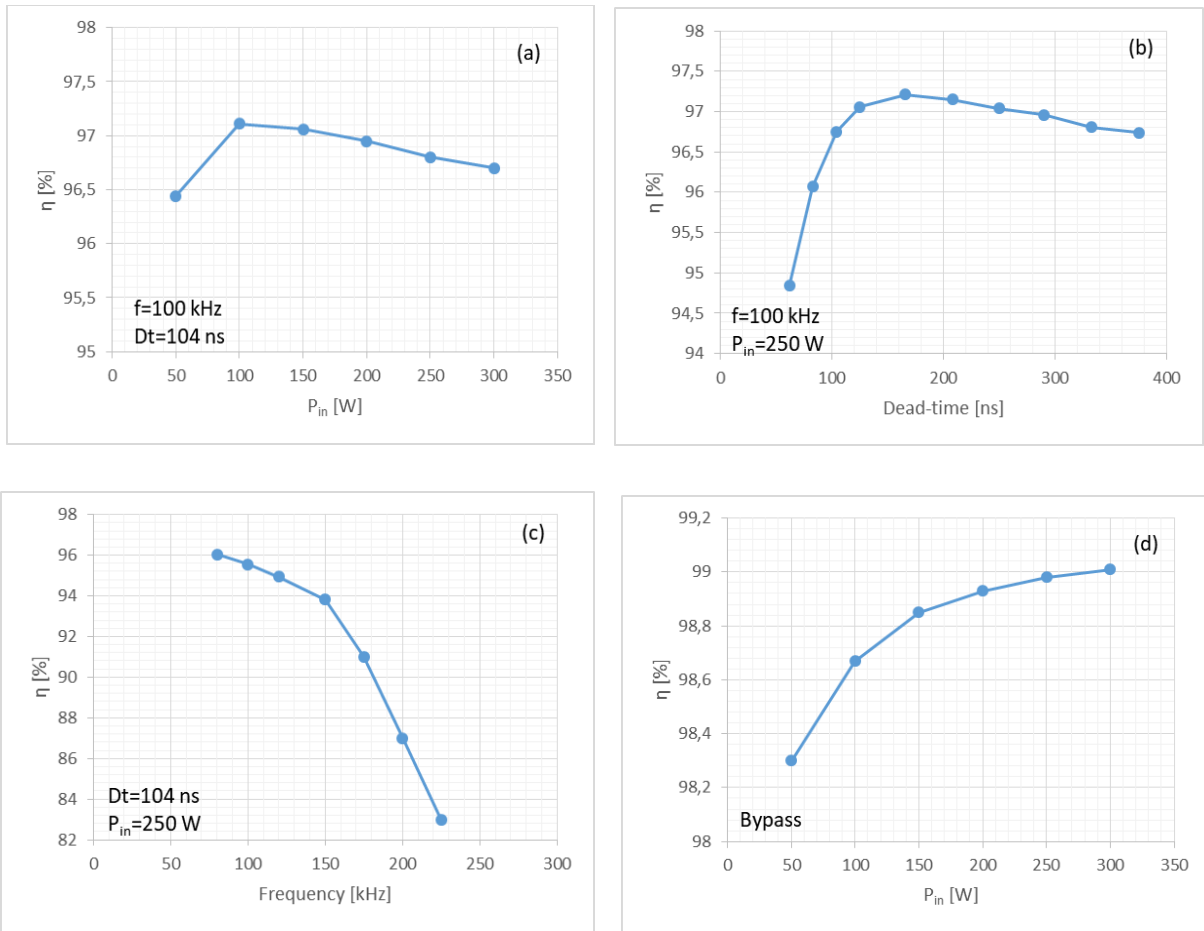


Figura 45. Misure di efficienza al variare della potenza di ingresso (a), del dead-time dei MOSFET (b), della frequenza di switching (c) e in condizione di bypass (d).

### 5.3 Test dello SMPPT con MOSFET di Carburo di Silicio

#### MPP TRACKING

Sono stati effettuati una serie di test utilizzando il Modular Solar Array Simulator di Agilent Technologies in dotazione presso ENEA di Portici al fine di caratterizzare la bontà del tracking del MPP, la velocità di convergenza e la stabilità nel tempo.

Per quanto riguarda la scheda di potenza con MOSFET in SiC, i risultati sono stati ottenuti con valori di potenza di 160 W e 250 W, con varie combinazioni di  $V_{oc}$  e  $I_{sc}$ .

Il MPP è raggiunto con una buona precisione, compresa tra il 99.5% e il 100%, mostrando una velocità di convergenza (da boot) inferiore alla decina secondi. La risposta alla variazione della condizione in stato di on è dell'ordine di qualche secondo.

In Figura 46 riportiamo lo screenshot del software di controllo del Solar Array Simulator, nella quale si evidenzia il raggiungimento del punto MPP ai due valori di potenza selezionati.



Figura 46. Misure di MPP tracking per la scheda di potenza SiC per Pin di 160 W e 250 W.

#### RIPPLE

Mediante un oscilloscopio digitale mod. WaveRunner 640Zi della LeCroy, sono state acquisite le forme d'onda delle tensioni e delle correnti in ingresso e in uscita al convertitore, potendo misurare le loro componenti AC e DC, nonché i tempi per la convergenza al punto MPP.

Nelle seguenti figure è evidenziato il valore di ripple della tensione e della corrente in ingresso, della tensione e della corrente in uscita, nonché il tempo di raggiungimento del nuovo Punto di Massima Potenza con potenza in ingresso di 160W e di 250W.

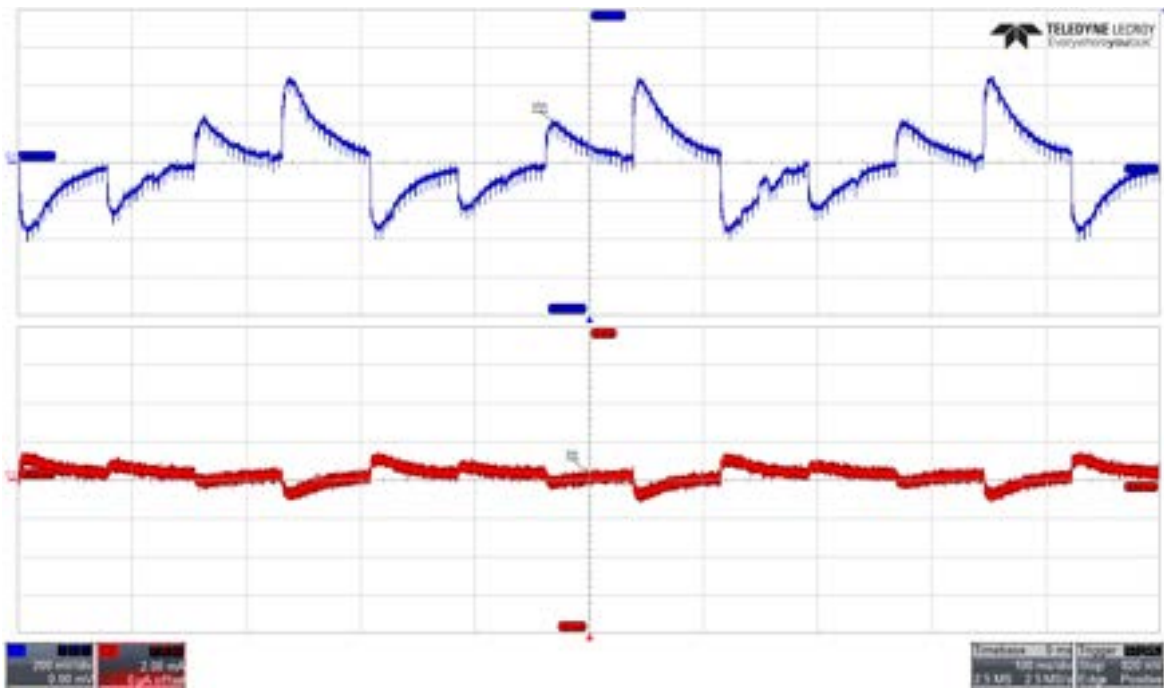


Figura 47. Ripple Vin-in con Pin di 160 W.

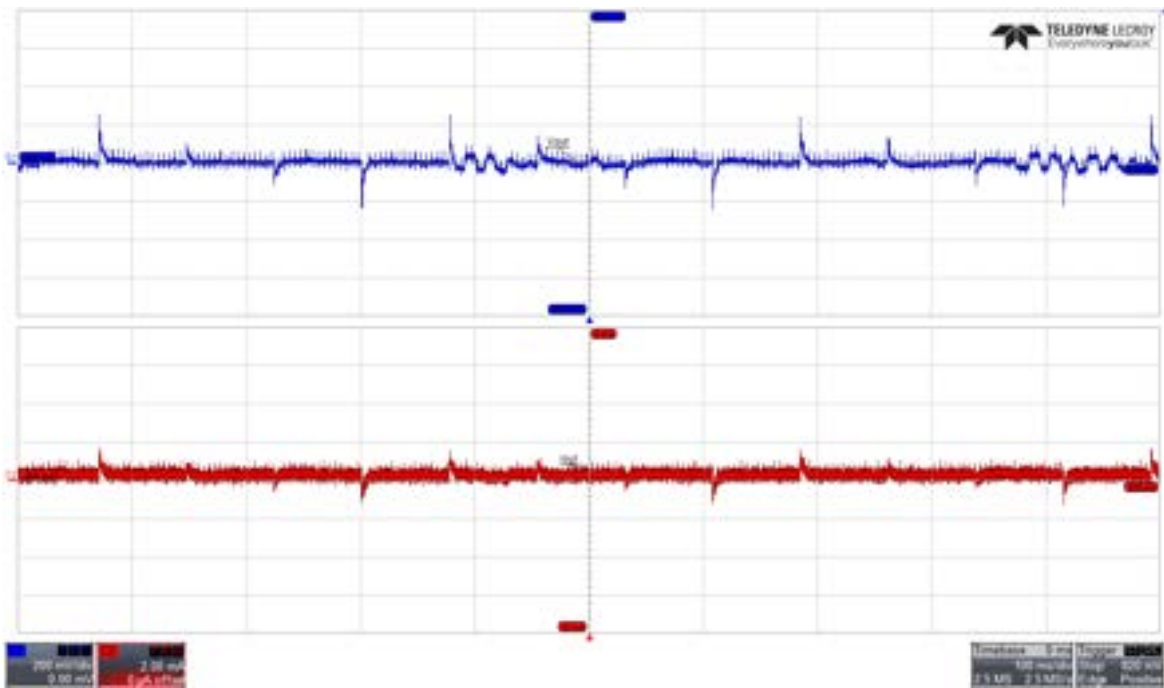


Figura 48. Ripple Vout-lout con Pin di 160 W.

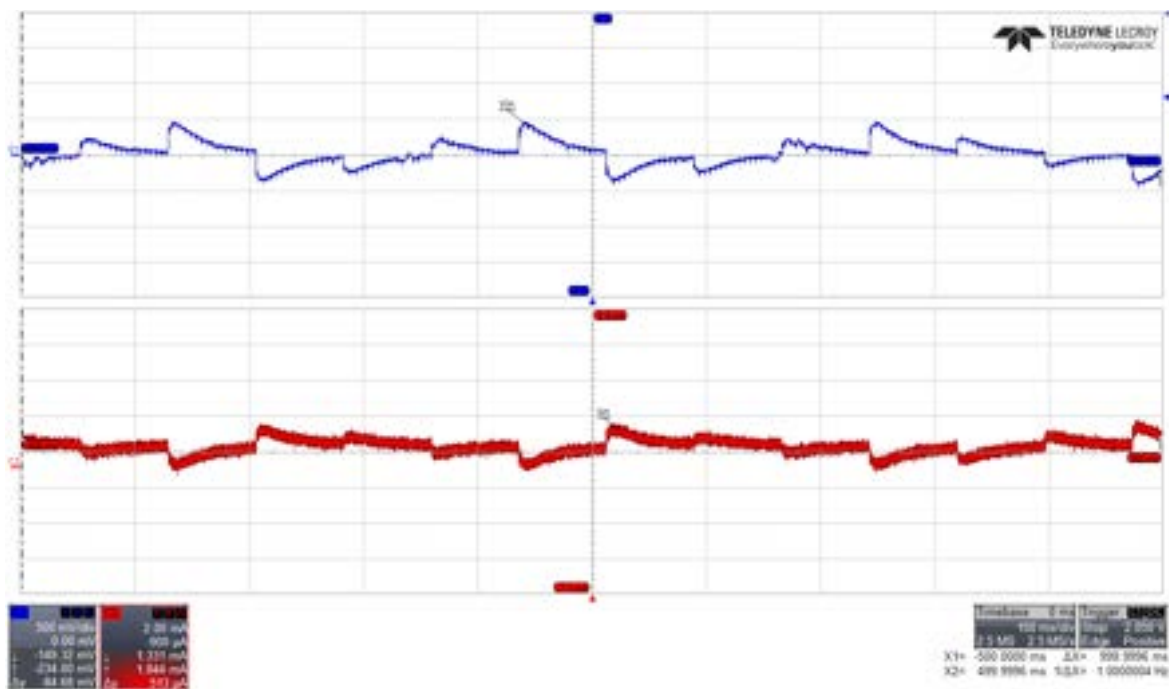


Figura 49. Ripple Vin-in con Pin di 250 W.

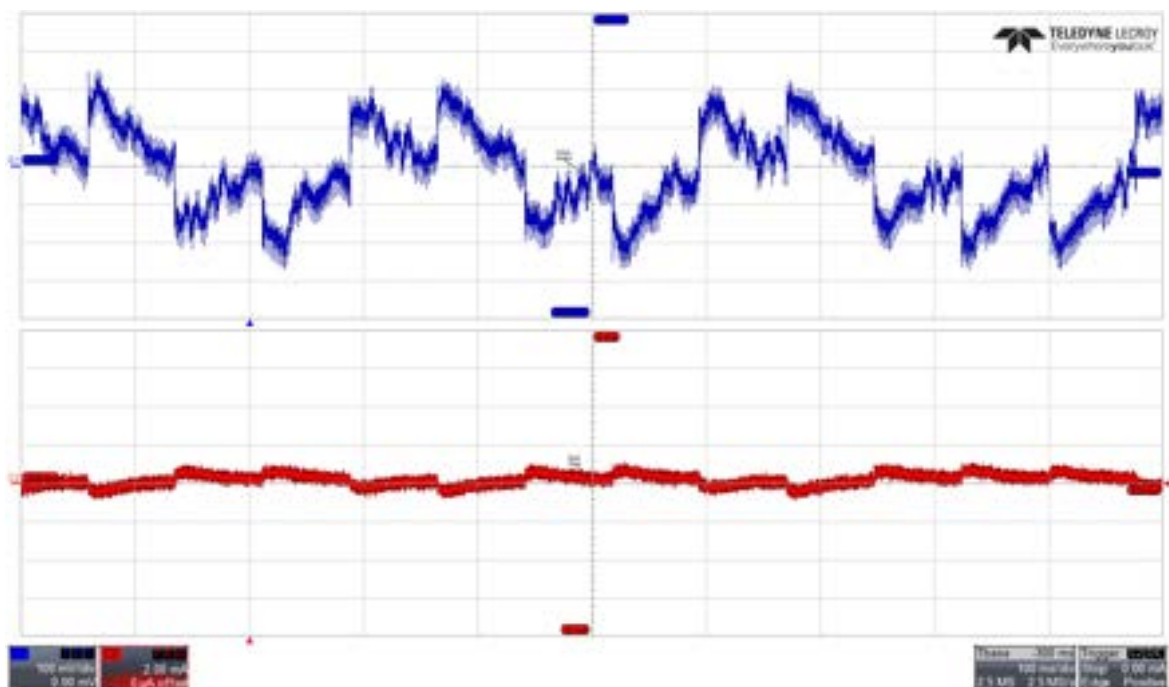


Figura 50. Ripple Vout-out Pin di 250 W.

## EFFICIENZA

Per la misura di efficienza del convertitore con tecnologia SiC, sono state effettuate prove di funzionamento elettrico a regime nelle quali si misurano le tensioni e le correnti di ingresso e uscita, al fine di valutare la potenza effettiva assorbita ed erogata dal convertitore in funzione del valore carico connesso in uscita.

L'andamento dell'efficienza è riportato nelle seguenti figure.

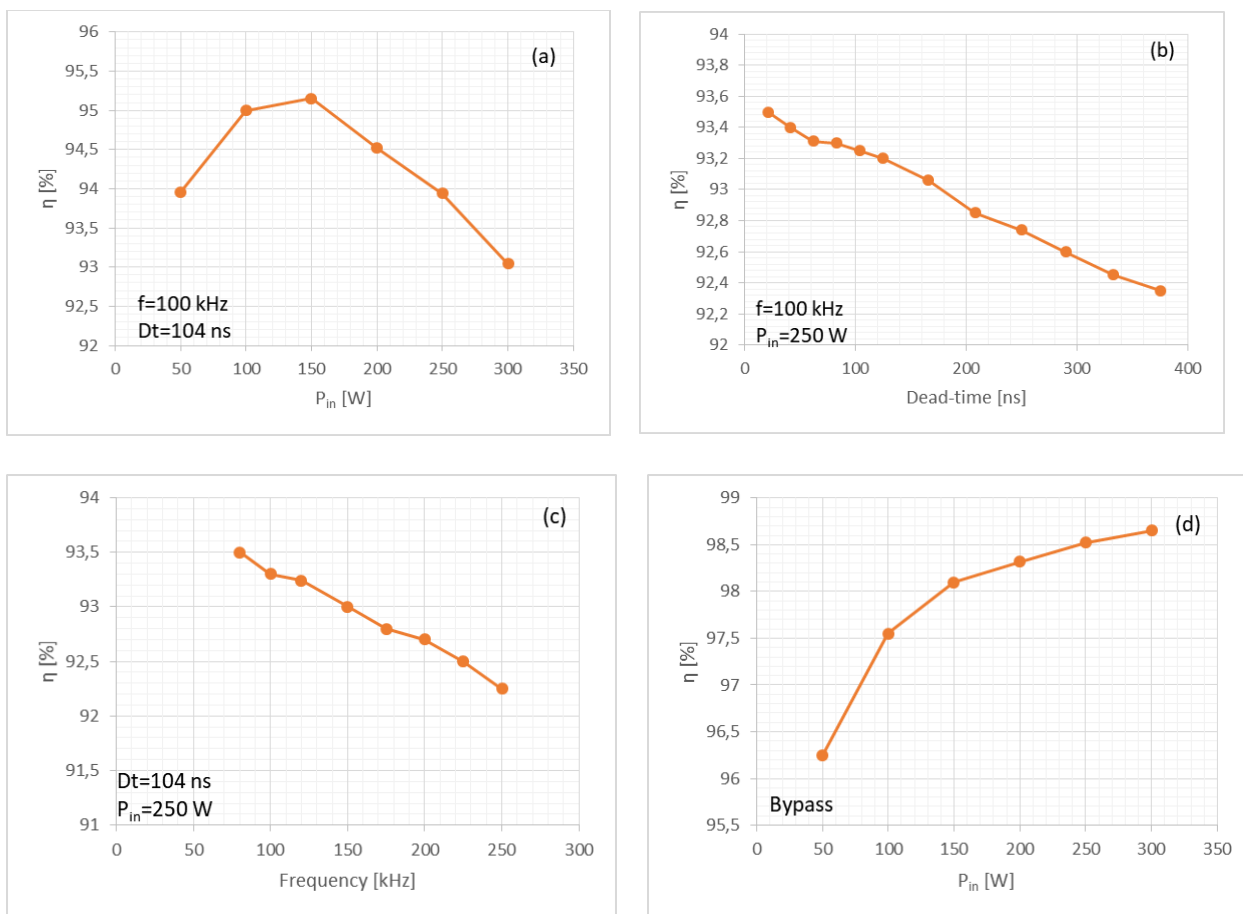


Figura 51. Misure di efficienza al variare della potenza di ingresso (a), del dead-time dei MOSFET (b), della frequenza di switching (c) e in condizione di bypass (d).

#### 5.4 Test dello SMPPT con HEMT di Nitruro di Gallio

##### MPP TRACKING

Per quanto riguarda la scheda di potenza con FET in GaN, i risultati sono stati ottenuti con MPP rispettivamente di 160 e 128 W.

Il MPP è raggiunto è pari a 99.9%, mostrando una velocità di convergenza (da boot) e di risposta, ad una variazione della condizione in stato di on, confrontabili con quelle della scheda in Si.

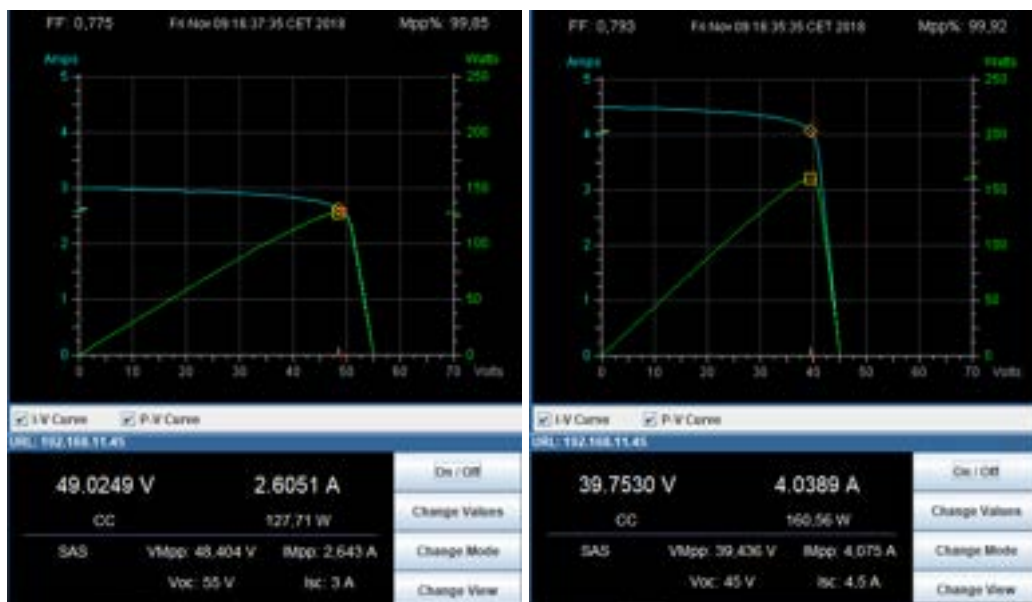


Figura 52. SMPPT con MOSFET in GaN, convergenza al punto di massima potenza rispettivamente per  $P_{in}$  di 128W e  $P_{in}$  di 160W.

### RIPPLE

Considerando potenze in ingresso di 160W, è stato valutato il ripple sulla scheda in GaN. Il ripple sulla tensione e la corrente di ingresso è, rispettivamente, pari a 900 mV pk-pk e 10 mA pk-pk, mentre il ripple sulla tensione e la corrente di uscita è, rispettivamente, di 1 V pk-pk e 40 mA pk-pk, analogamente alla scheda in Si.

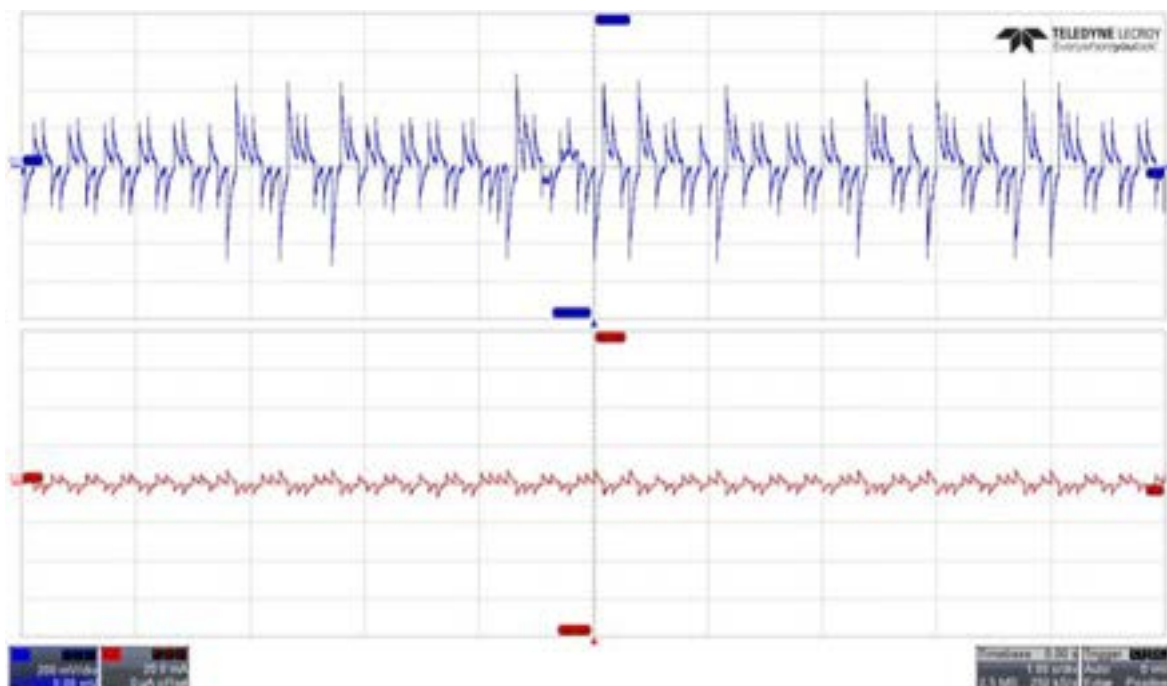


Figura 53. Misura del ripple della tensione in ingresso (scheda di potenza in Gan) in condizioni di  $P_{in} = 160 W$ .

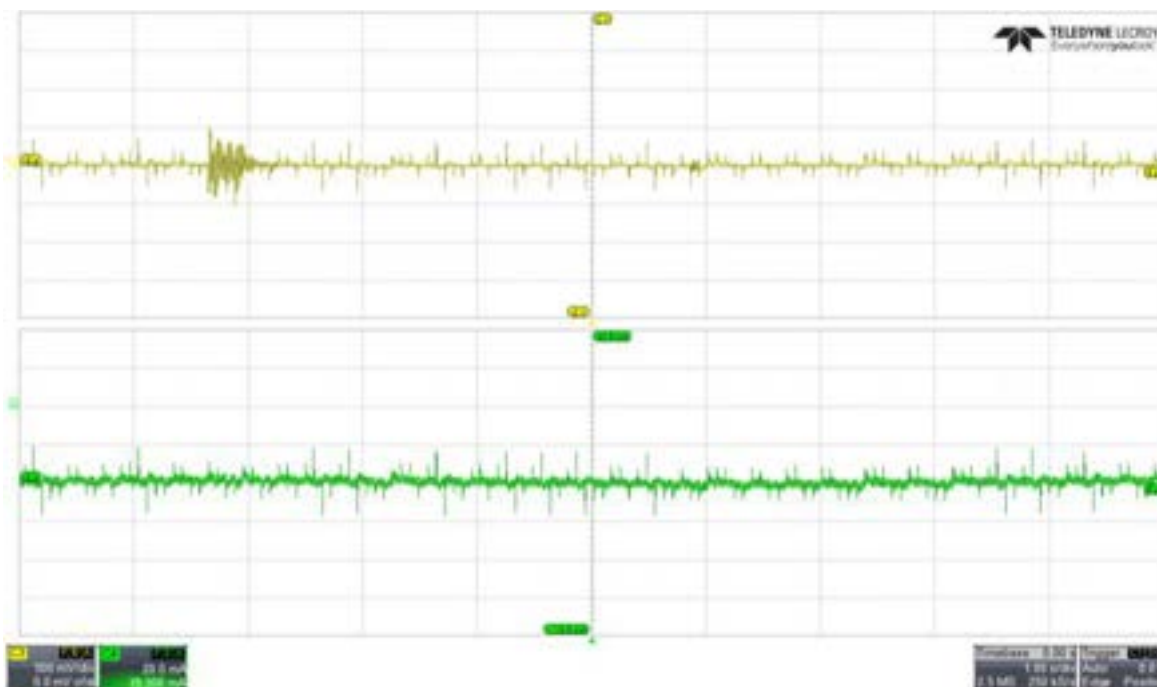
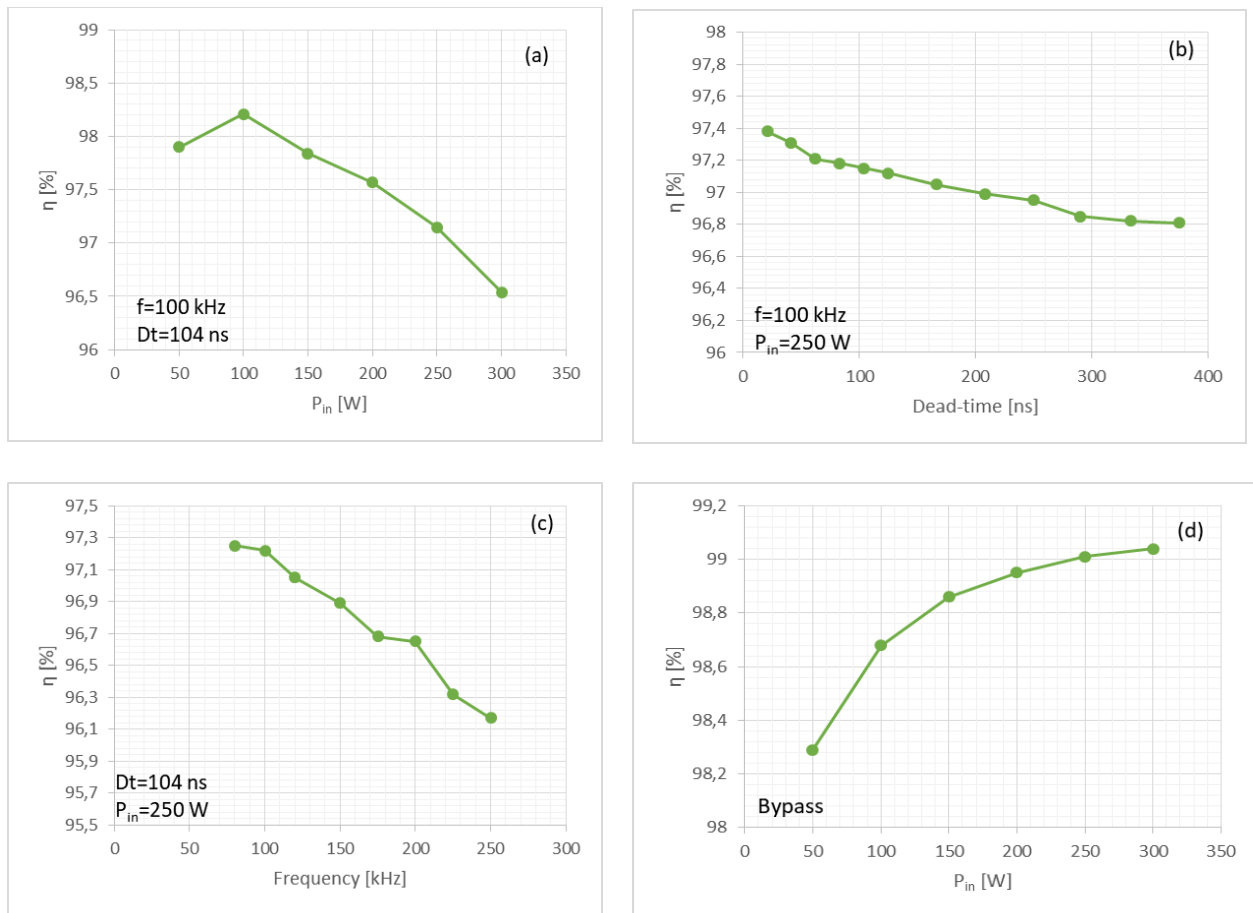


Figura 54. Misura del ripple della tensione di uscita (scheda di potenza in Gan) in condizioni di  $P_{in} = 160W$ .

#### EFFICIENZA

La scheda di potenza con MOSFET in GaN presenta le migliori prestazioni, come mostrato in Figura 55. Infatti, essa presenta un'efficienza superiore al 96% in tutte le condizioni di test. L'efficienza diminuisce in modo quasi lineare all'aumentare del dead-time e della frequenza di switching e, in particolare, i valori migliori sono ottenuti per  $Dt=21$  ns e  $f=80$  kHz.

Durante il funzionamento del convertitore dc-dc in modalità di bypass l'efficienza è compresa tra il 98.3% e il 99 %.



**Figura 55.** Misure di efficienza al variare della potenza di ingresso (a), del dead-time dei MOSFET (b), della frequenza di switching (c) e in condizione di bypass (d).

### 5.5 Test dello SMPPT interleaved

Analogamente a come proceduto per il convertitore SMPPT singolo, sono stati effettuati test di funzionamento utilizzando la configurazione di tipo *interleaved* di due schede di potenza con dispositivi in silicio. Nelle figure seguenti è visualizzato il bench test utilizzato per l'esecuzione delle prove.



**Figura 56.** Setup per la misura di efficienza del convertitore in configurazione interleaved.

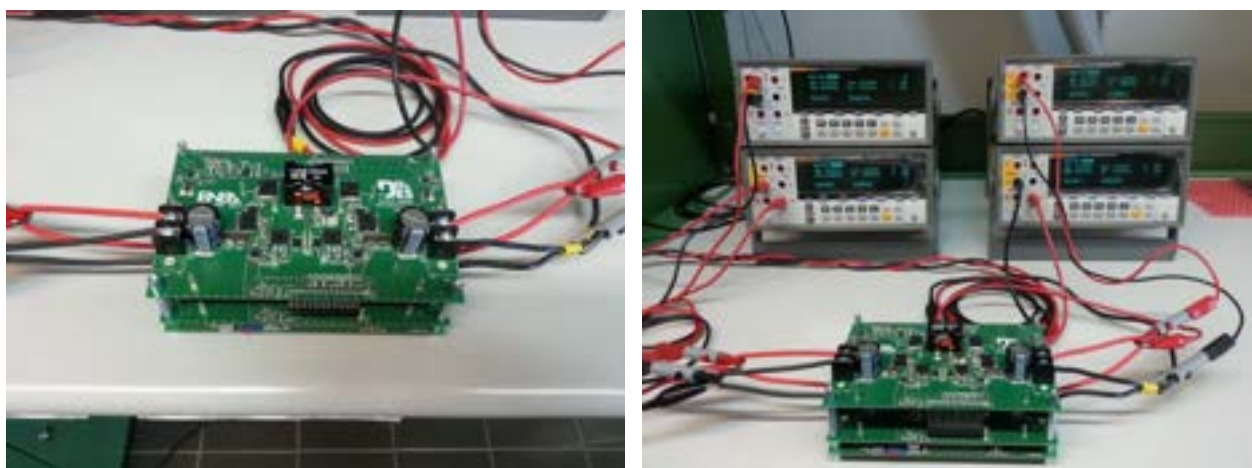


Figura 57. Convertitore in configurazione interleaved e connessione ai multimetri di misura.

Anche in questa configurazione, il sistema di alimentazione del convertitore è costituito dal Solar Array Simulator e la misura delle grandezze elettriche I-V è stata effettuata mediante alcuni multimetri mod.8845 della Fluke. Per quanto riguarda il carico elettrico connesso al convertitore, è stato utilizzato un carico elettronico DC della Amrel mod. PLA800-400-50.

I test sono stati effettuati su due target di potenza, 160W e 250W, al fine di valutare l'efficienza del convertitore in configurazione interleaved e la risposta in termini di tempo di raggiungimento MPP, al variare del valore del carico elettrico connesso in uscita e della potenza elettrica in ingresso.

### MPP TRACKING

In Figura 58 è riportato uno screenshot del software di controllo del Solar Array Simulator, nel quale si evidenzia, anche in questa configurazione, il raggiungimento del punto MPP ai due valori di potenza selezionati.



Figura 58. Misure di MPP tracking per le schede di potenza interleaved per Pin di 160.

I risultati ottenuti in termini di raggiungimento del valore di MPP mostrano una notevole precisione con un valore che si assesta tra il 99.4% e il 100% e con una velocità di convergenza dalla sua accensione notevolmente inferiore ai 5 secondi, mentre la risposta alla variazione della potenza in ingresso ed alla variazione del carico in uscita è inferiore ai 3 secondi.

### RIPPLE

Mediante un oscilloscopio digitale mod. WaveRunner 640Zi della LeCroy, è possibile acquisire le forme d'onda delle tensioni e delle correnti in ingresso e in uscita al convertitore, potendo misurare le loro componenti AC e DC, nonché i tempi per la convergenza al punto MPP.

Nelle seguenti figure è evidenziato il valore di ripple della tensione e della corrente in ingresso, della tensione e della corrente in uscita con potenza in ingresso di 160W e di 250W.

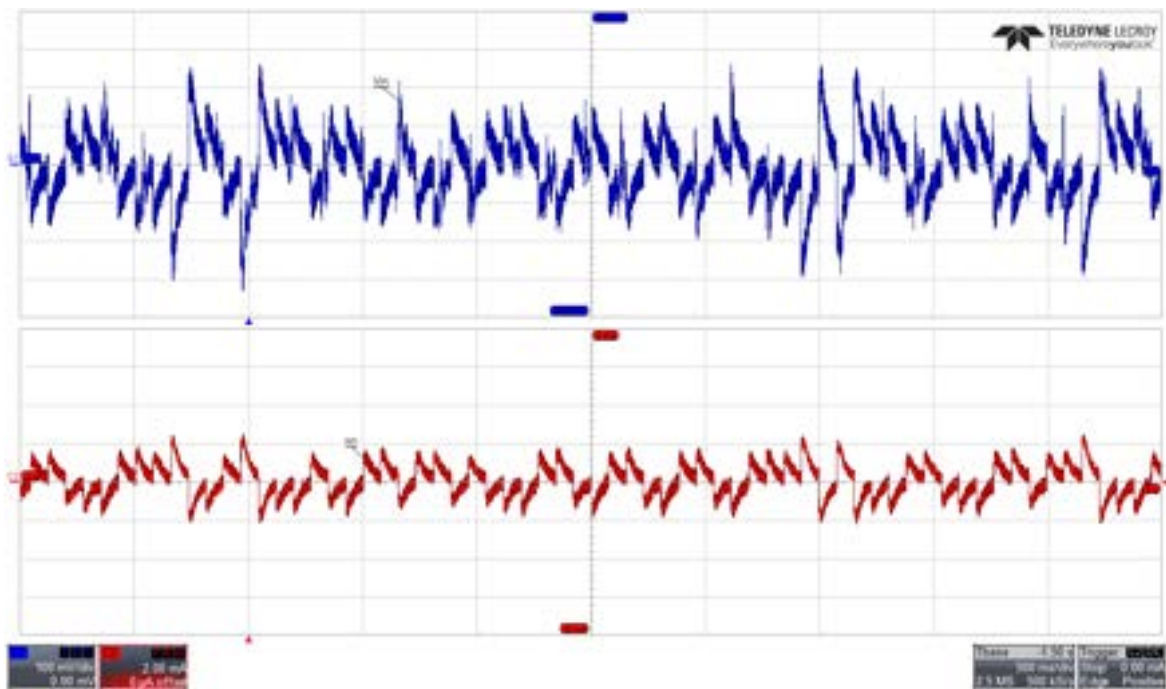


Figura 59. Ripple Vin-lin con carico da 8 ohm e Pin di 160 W.

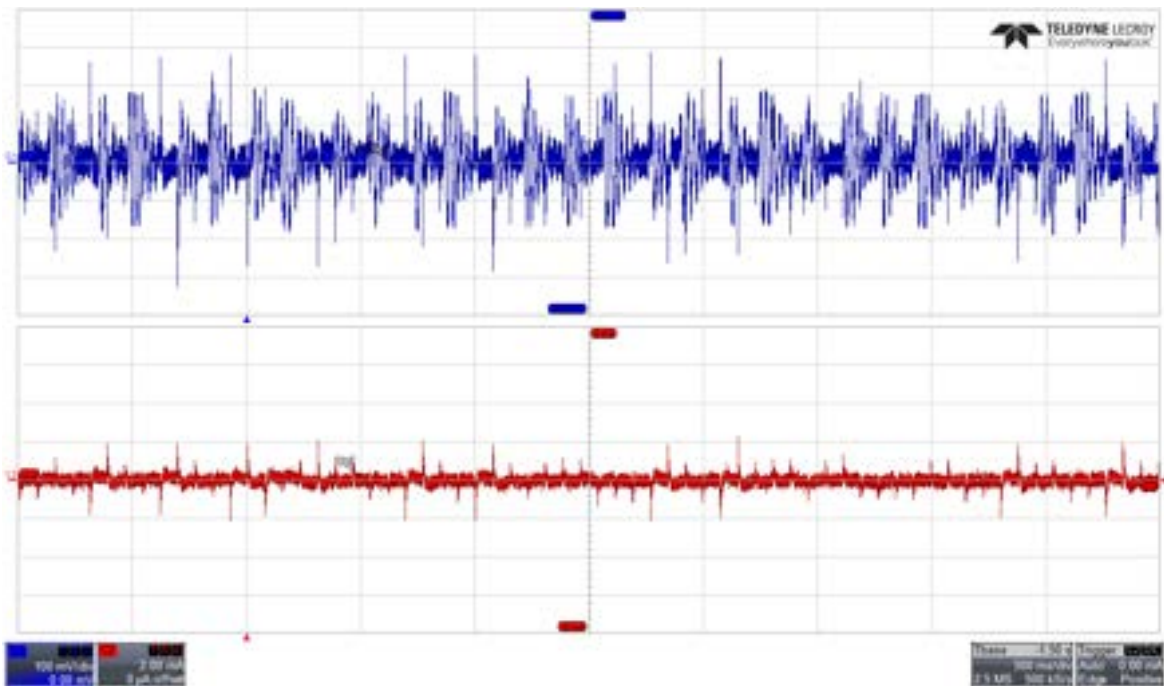


Figura 60. Ripple Vout-lout con Pin pari a 160 W.

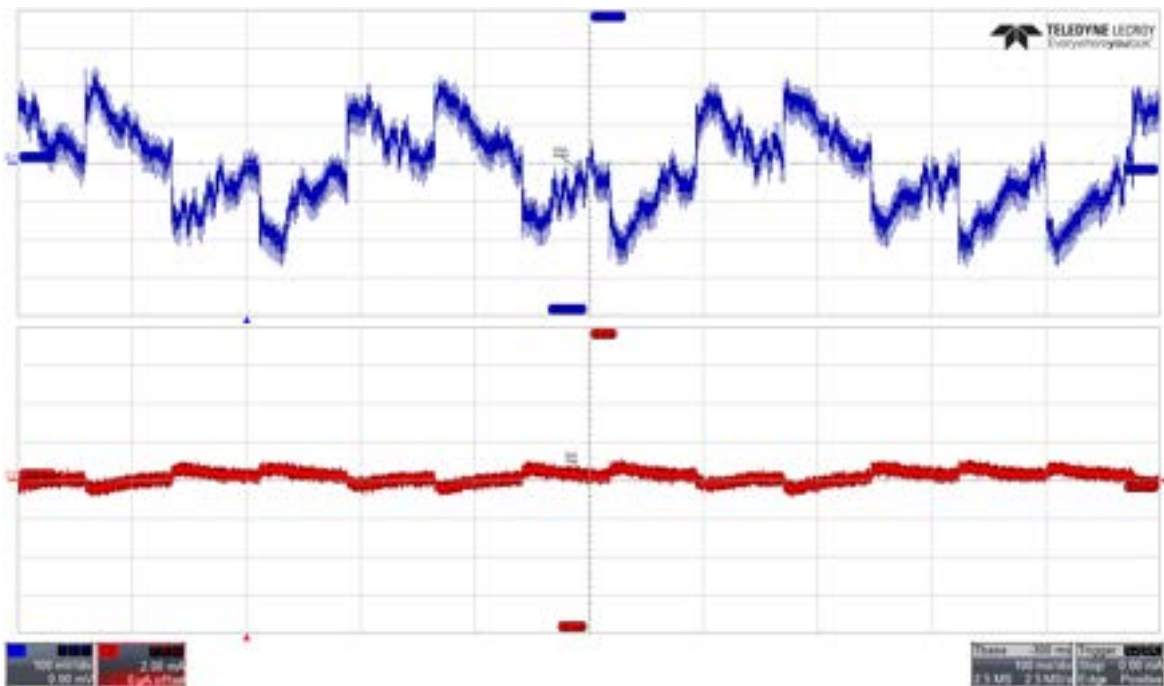


Figura 61. Ripple Vin-lin con Pin = 250 W.

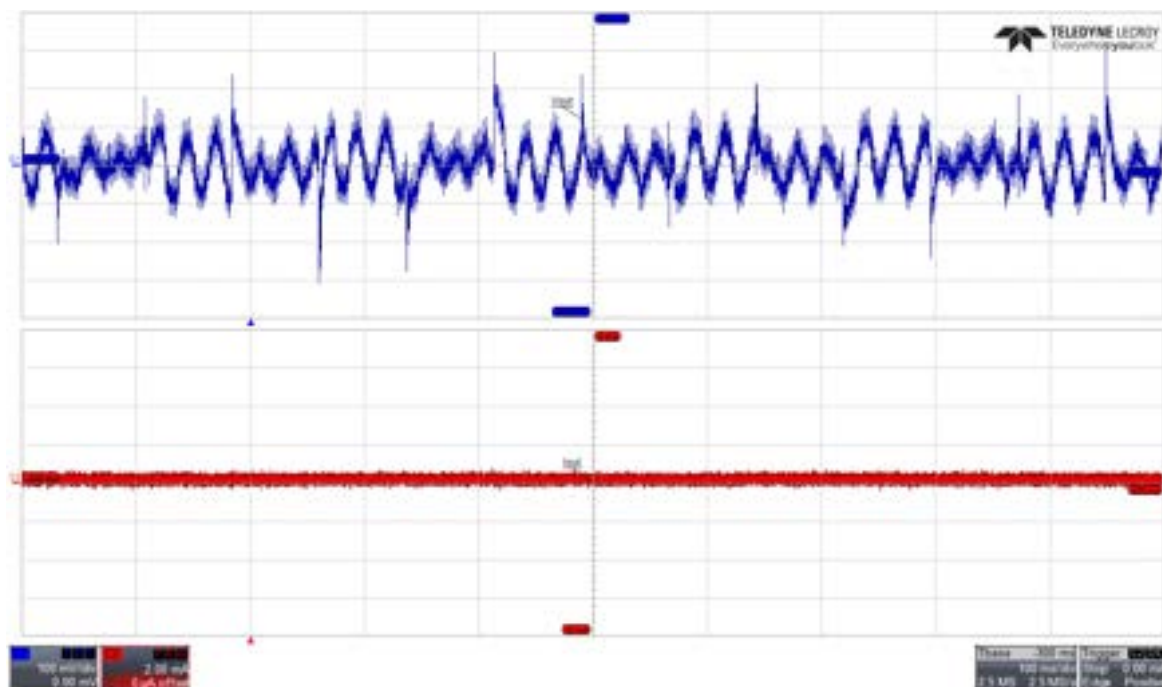


Figura 62. Ripple Vout-Iout con Pin di 250 W.

## EFFICIENZA

Per la misura dell'efficienza del convertitore interleaved, sono state effettuate prove di funzionamento elettrico a regime, nelle quali si misurano le tensioni e le correnti di ingresso e uscita, al fine di valutare la potenza effettiva assorbita ed erogata dal convertitore in funzione del valore carico connesso in uscita. L'andamento dell'efficienza è riportato nelle seguenti figure.

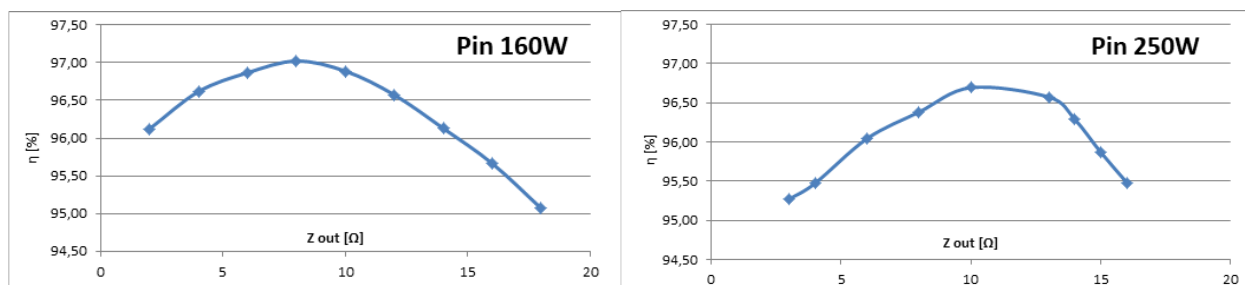


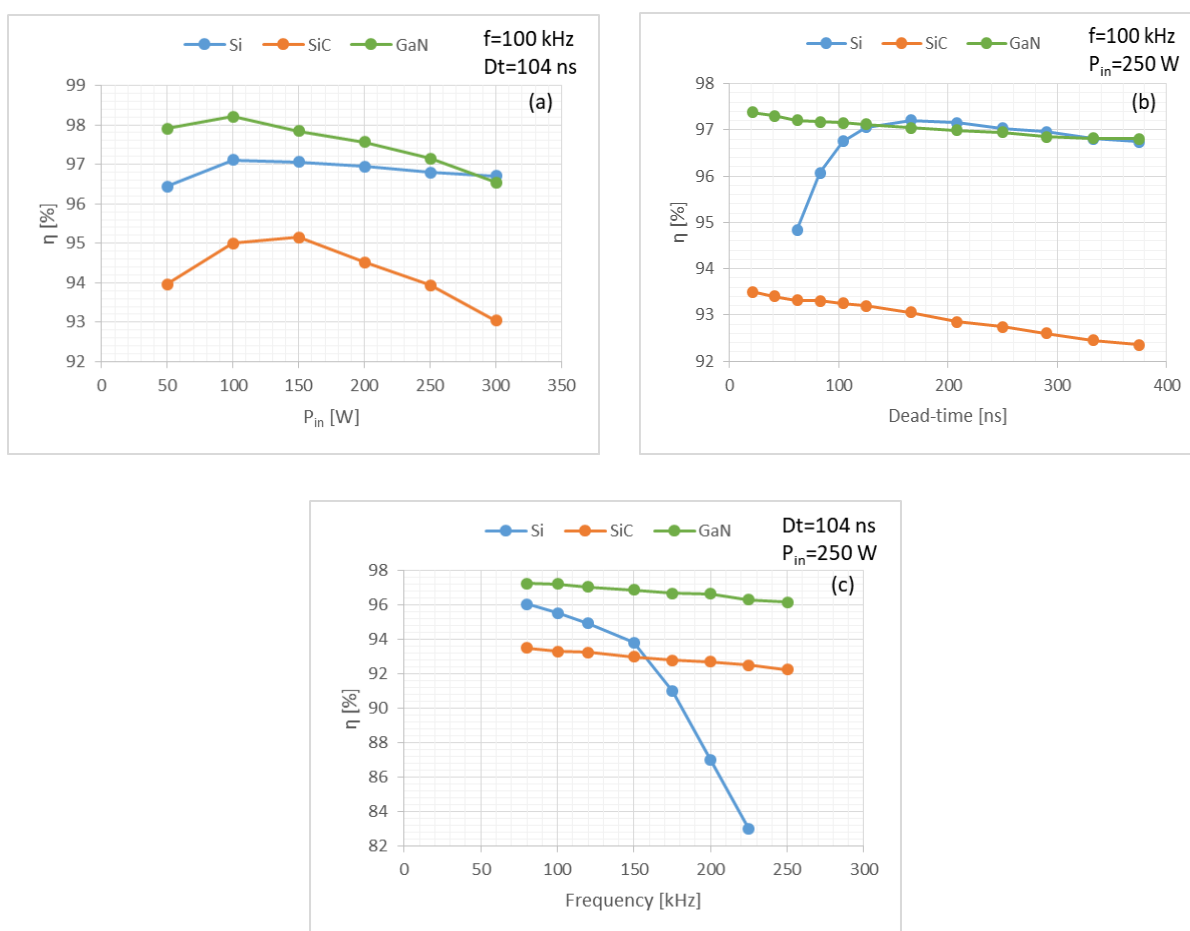
Figura 63. Andamento efficienza convertitore interleaved.

## 6. Analisi dei risultati e conclusioni

Le misure effettuate sul sistema completo sono state volte a verificare il corretto funzionamento delle schede progettate e, quindi, dei sistemi digitali e di potenza.

Nondimeno, sono state indagate le prestazioni del sistema con particolare attenzione al soddisfacimento delle specifiche di progetto.

In Figura 64 è riportato un confronto dell'efficienza considerando una  $V_{pp} = 32$  V. Come si evince dai grafici la scheda con MOSFET in GaN presenta i valori di efficienza più elevati nella quasi totalità dei test effettuati. Risultano ottime anche le prestazioni della scheda in Si.



**Figura 64. Confronto delle misure di efficienza delle tre schede di potenza al variare della potenza di ingresso (a), del dead-time dei MOSFET (b), della frequenza di switching (c).**

Il convertitore basato sulla tecnologia SiC presenta un'efficienza minore dovuta in massima parte alla resistenza di on-state dei MOSFET SiC utilizzati che, pur essendo estremamente promettenti con particolare riguardo alle alte potenze (e tensioni) di funzionamento, hanno una tensione di breakdown di 650V e dunque sono tecnologicamente sfavoriti da valori molto elevati della  $R_{on}$  rispetto al Si e al GaN (rispettivamente  $\sim 20$  e  $\sim 4$  volte superiore), da cui originano notevoli perdite di potenza statica. Purtroppo, il mercato non offre al momento MOSFET in SiC con tensioni di breakdown dell'ordine del centinaio di volt. L'efficienza ridotta è dovuta anche alla particolare caratteristica dei MOS in SiC che richiedono tensioni di spegnimento negative, necessitando della presenza di un maggior numero di componenti sulla board e di fatto dettandone il fattore di forma. Tuttavia, tale tecnologia consente un buon funzionamento del SMPPT per frequenze superiori a 150 kHz a differenza del Silicio.

È possibile affermare che i risultati ottenuti offrono una copertura completa delle specifiche, soddisfacendo i valori limite di tensione e corrente in ingresso e in uscita, la potenza massima e garantendo al contempo un fattore di forma comune per le varie tecnologie e la possibilità di utilizzo in modalità interleaved. Il sistema permette, inoltre, il corretto collegamento in modalità wireless per la trasmissione e ricezione di dati di diagnostica e di configurazione di impianto.

## Appendice A

Application Programming Interface (API) per la comunicazione Wi-Fi.

### **Funzioni di lettura**

#### *SMPPT read status*

(GET /api/smppt/status)

Test:

```
curl -i -H "Accept: application/json" -H "Content-Type: application/json" -X GET http://192.168.1.xxx/api/smppt/status
```

Risposta in formato JSON

```
{
  "mac": "xxxxxxxxxxxx",
  "mode": [int, bit0=BOOST, bit1=BUCK, bit2=BYPASS],
  "temp1": [signed int, C x 100],
  "temp2": [signed int, C x 100],
  "meas": {
    "Vin": [int, volt x 100],
    "Vout": [int, volt x 100],
    "Iin": [int, ampere x 1000],
    "Iout": [int, ampere x 1000]
  }
}
```

#### *Es. Risposta*

```
{
  " mac": "BC184E454DCA",
  "mode": 1,
  "temp1": 2782
  "temp1": 2890
  "meas": {
    "Vin": 2905,
    "Vout": 6543,
    "Iin": 8534,
    "Iout": 3668
  }
}
```

#### *SMPPT read settings*

(GET /api/smppt/settings)

Test:

```
curl -i -H "Accept: application/json" -H "Content-Type: application/json" -X GET http://192.168.1.xxx/api/smppt/settings
```

Risposta in formato JSON

```
{  
  "mppt": [int, 0-1 -> 0=dc-dc, 1=mppt],  
  "freq": [int, 0-7 -> {100,80,120,150,175,200,225,250} kHz],  
  "dt": [int, 0-15 -> {312,83,104,125,145,166,187,208,229,250,271,291,312,333,354,375} ns],  
  "m1": [int, 0-4095],  
  "m3": [int, 0-4095]  
}
```

### Es. Risposta

```
{  
  "mppt": 1,  
  "freq": 0,  
  "dt": 2,  
  "m1": 120,  
  "m3": 0  
}
```

### Funzioni di scrittura:

#### SMPPT write settings

(POST /api/smppt/settings/item)

Test:

```
curl --data "value" http://192.168.1.xxx/api/smppt/settings/item
```

The value to write should be put in the body of the request.

"item" can be:

mppt MPPT ON/OFF [0-1] -> 0=dc-dc, 1=mppt

freq switching frequency [0-7] -> {100,80,120,150,175,200,225,250} kHz

dt dead time [0-15] -> {312,83,104,125,145,166,187,208,229,250,271,291,312,333,354,375} ns

m1 duty cycle MOSFET M1 [0-4095]

m3 duty cycle MOSFET M3 [0-4095]

## Appendice B

Di seguito sono riportati i layout e gli schematici della scheda di logica.

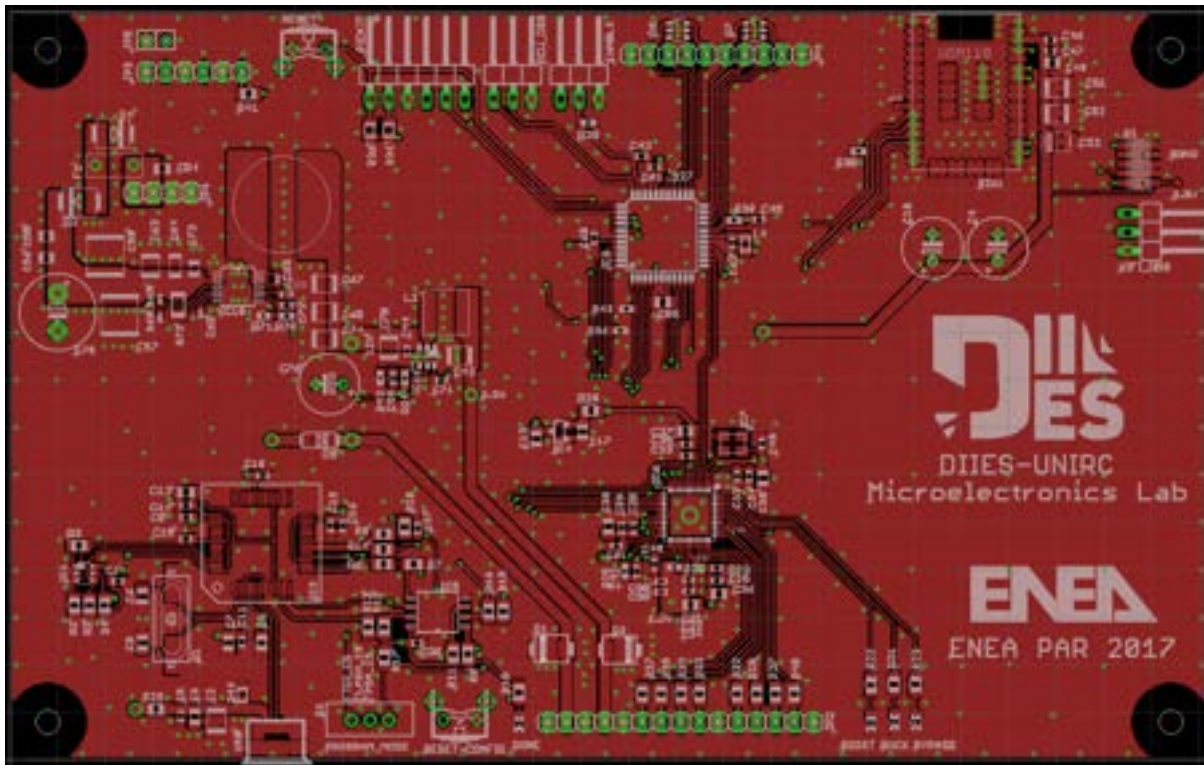


Figura 65. Top view layout della scheda di logica.

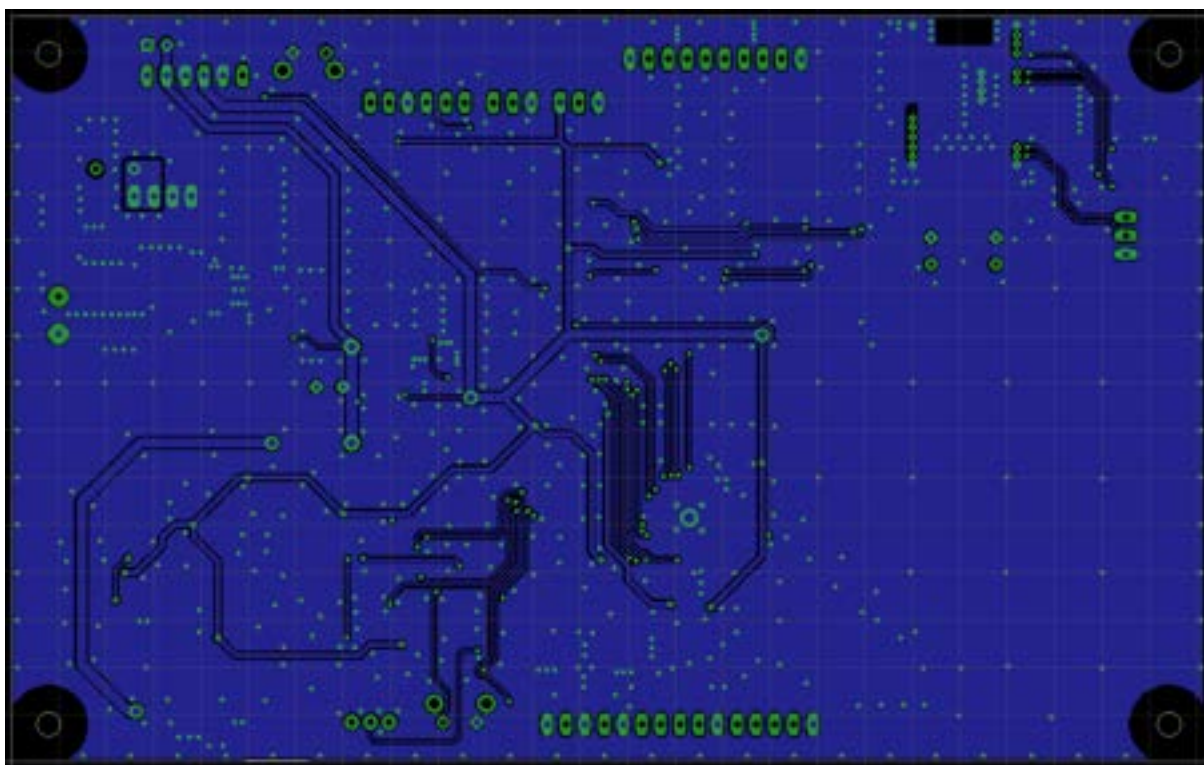


Figura 66. Botton view layout della scheda di logica.

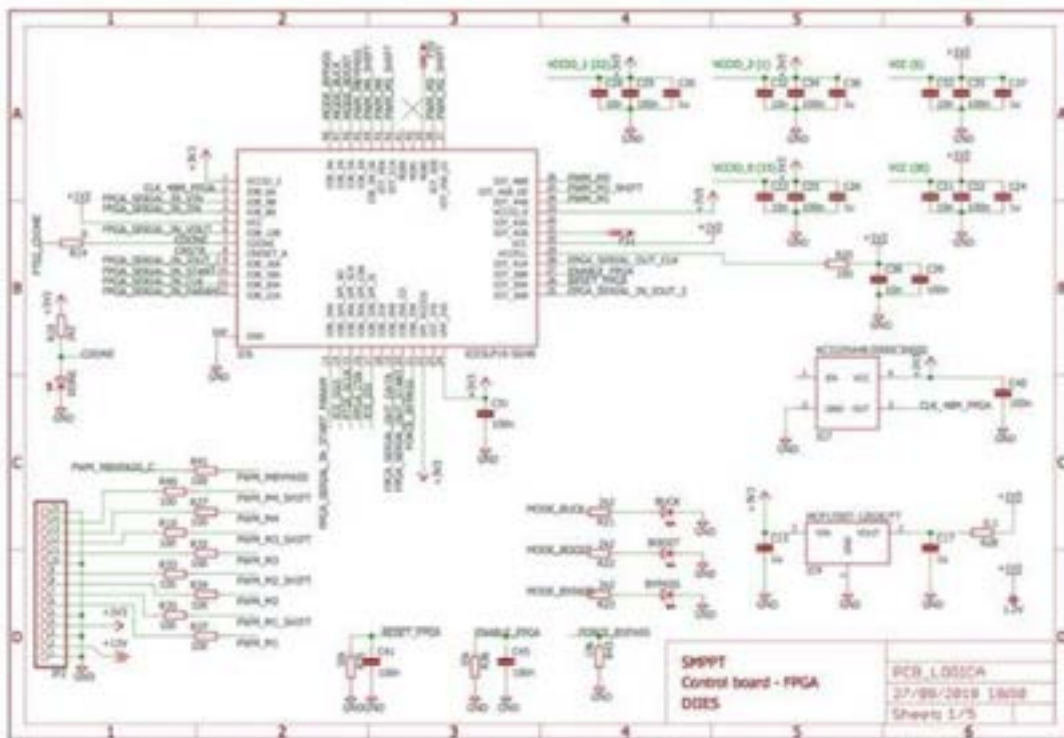


Figura 67. Schematico della scheda di logica (FPGA).

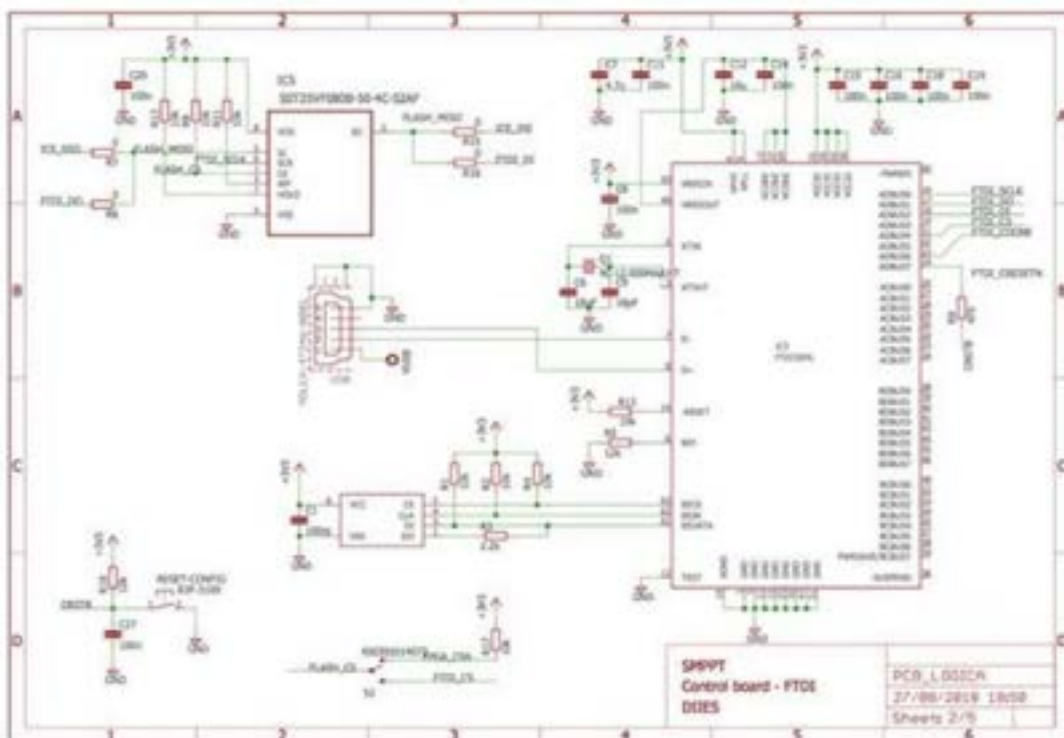


Figura 68. Schematico della scheda di logica (FTDI).

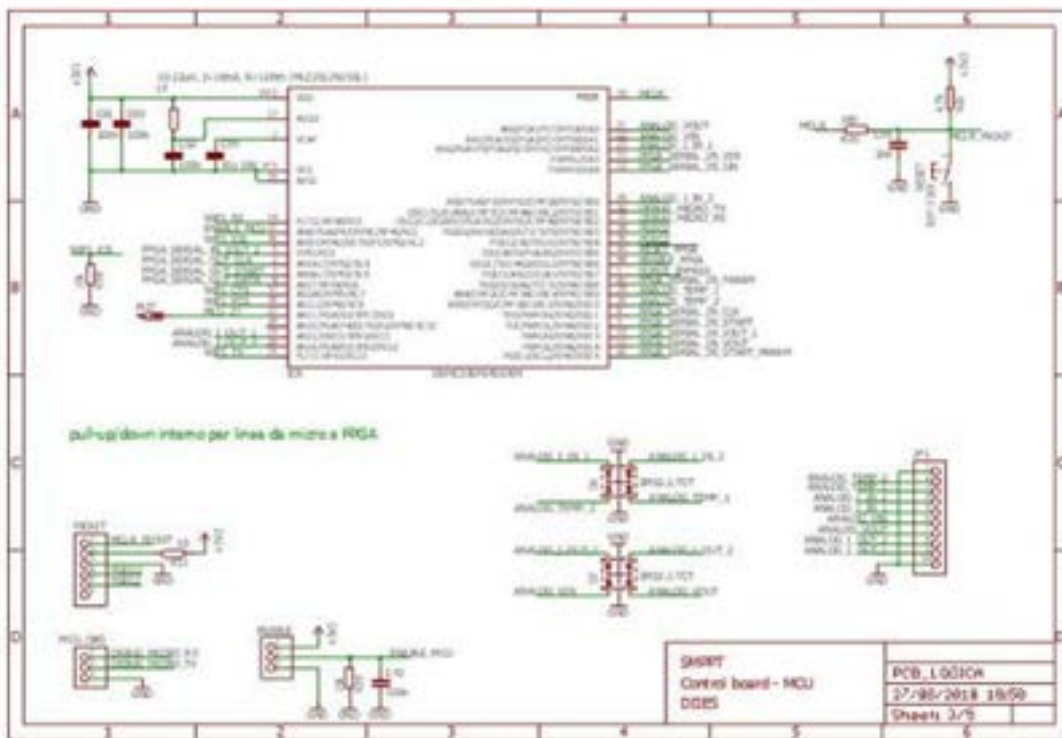


Figura 69. Schematico della scheda di logica (MCU).

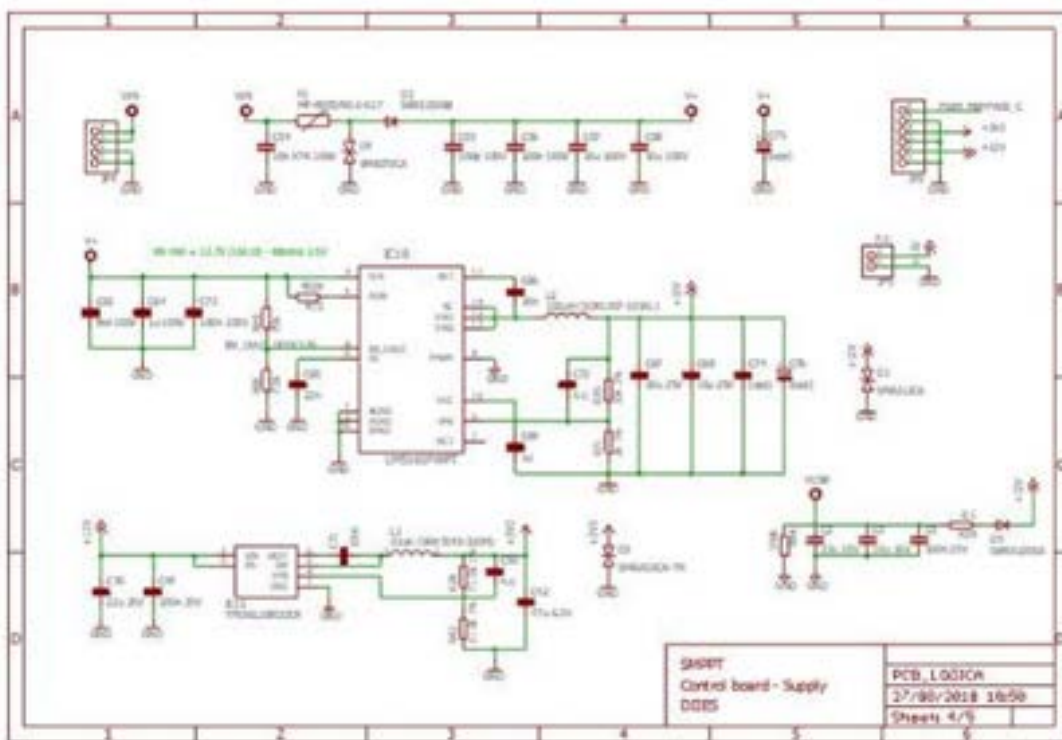


Figura 70. Schematico della scheda di logica (Supply).



## Appendice C

Di seguito sono riportati i layout e gli schematici della scheda di Potenza con MOSFET in Silicio.

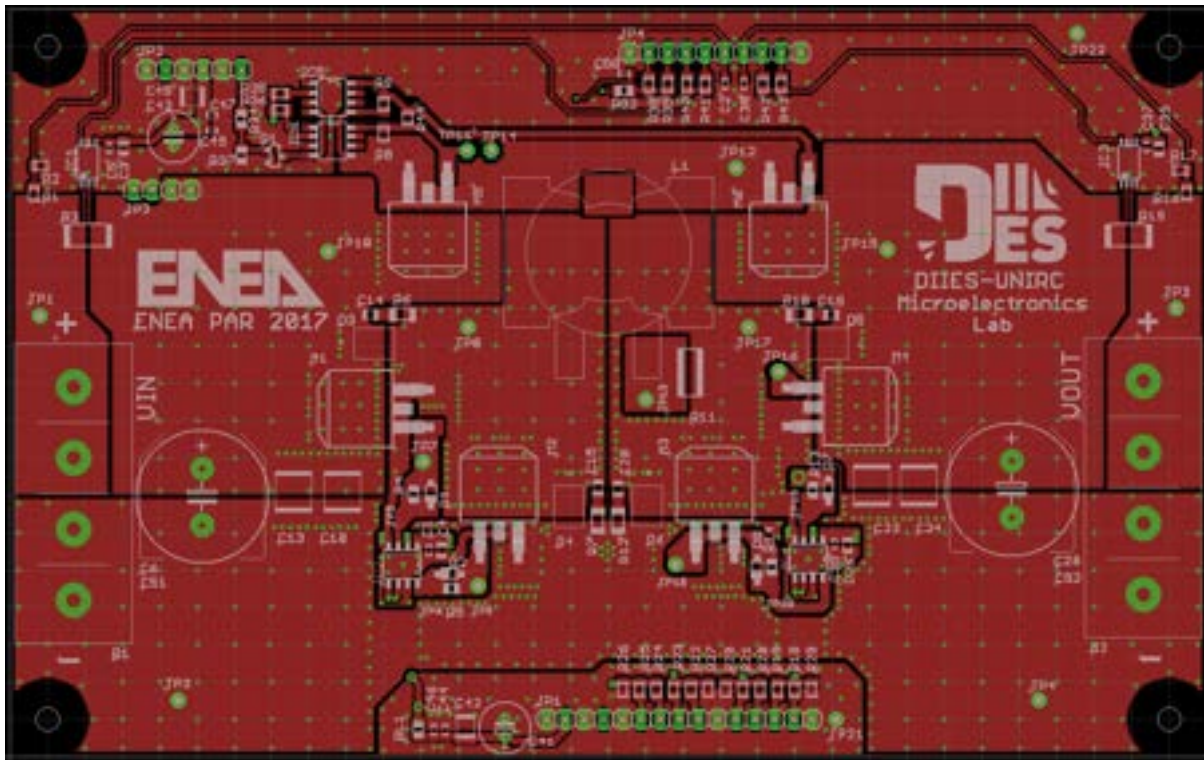


Figura 72. Top view layout della scheda di potenza con MOSFET in Silicio.

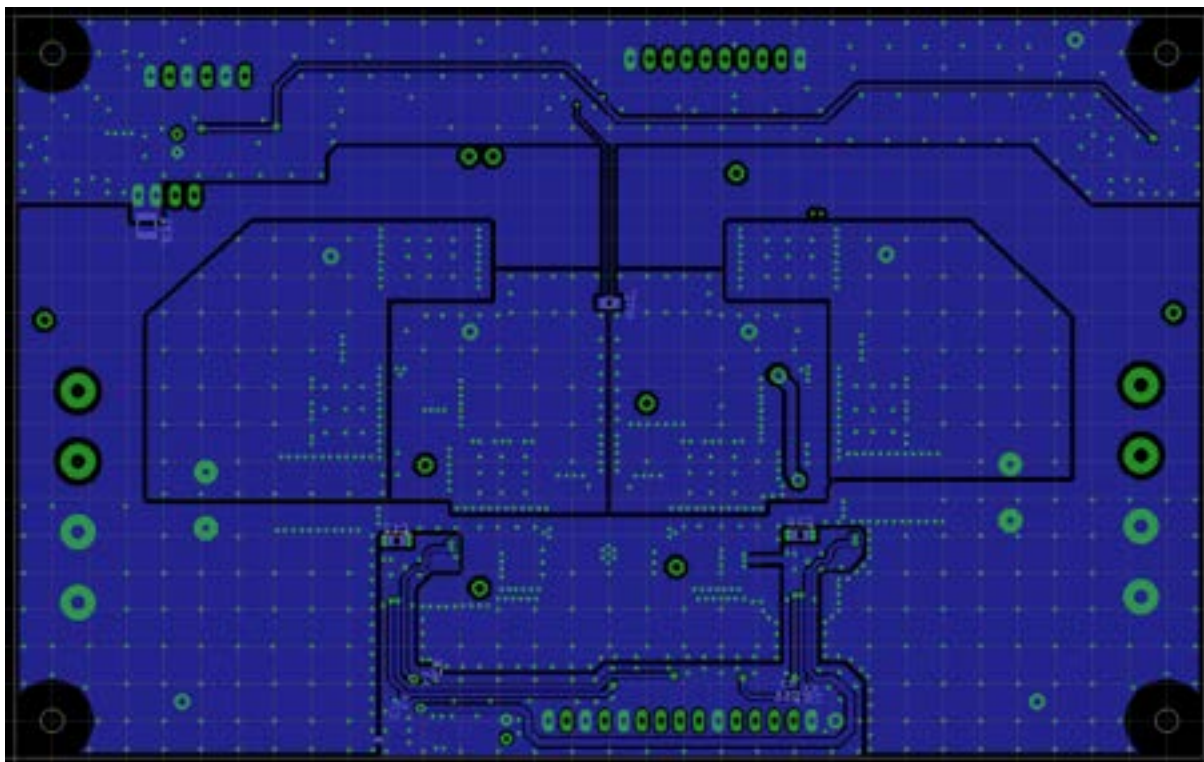


Figura 73. Botton view layout della potenza con MOSFET in Silicio.

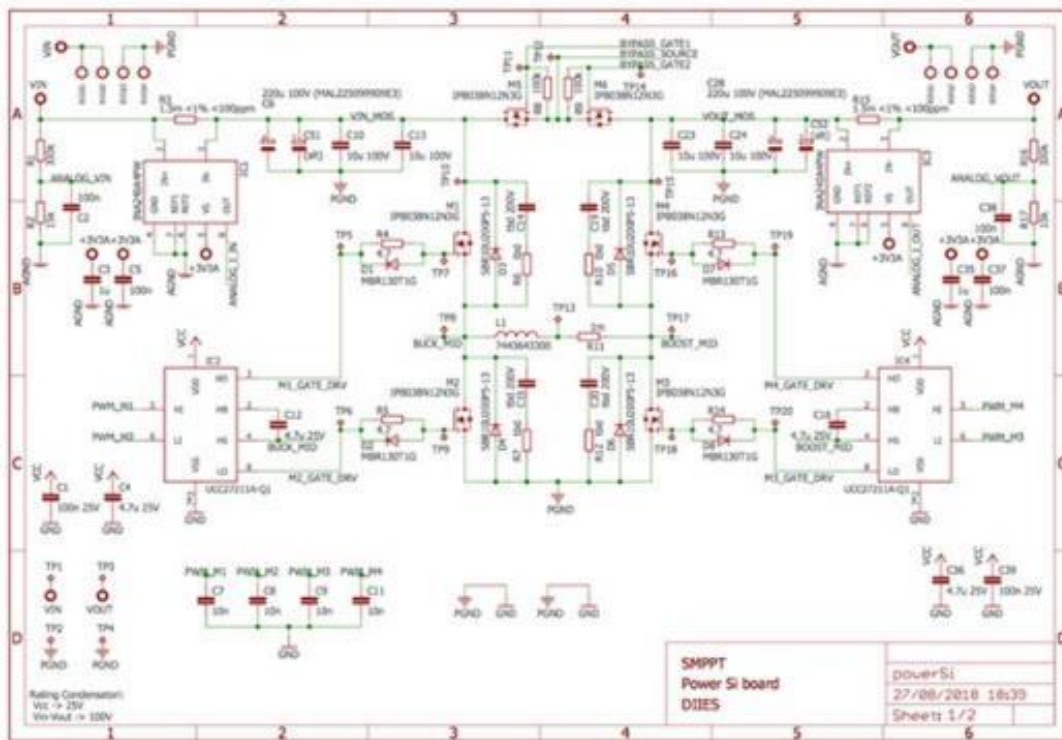


Figura 74. Schematico della scheda di potenza in Silicio (foglio 1).

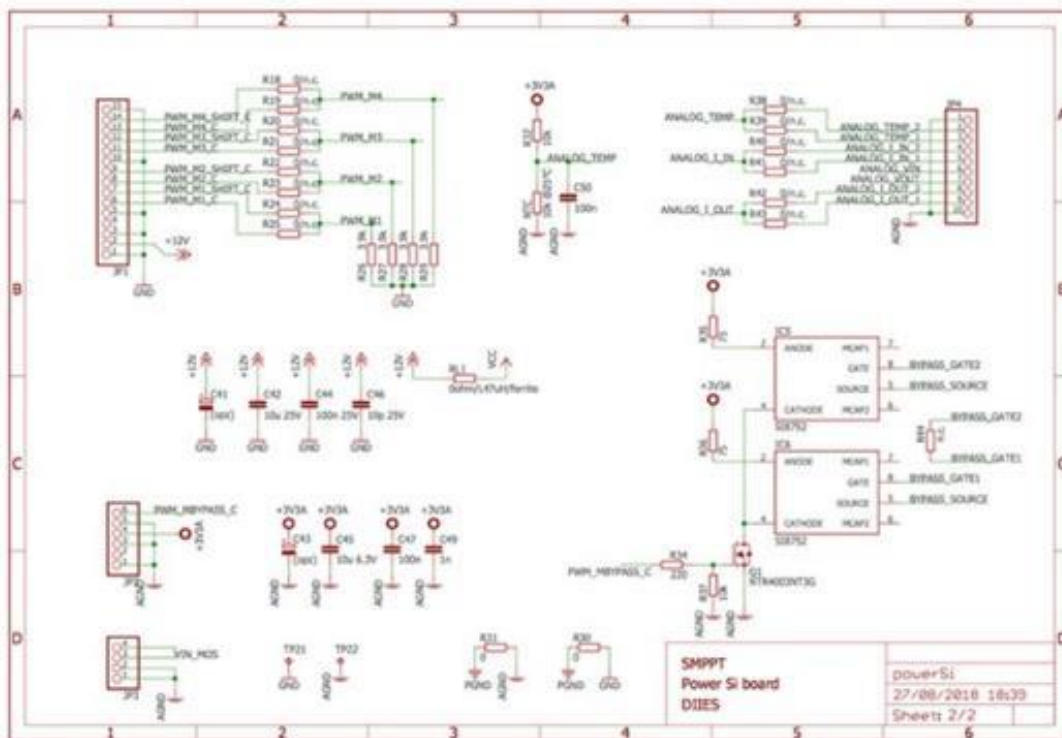


Figura 75. Schematico della scheda di potenza in Silicio (foglio 2).

Di seguito sono riportati i layout e gli schematici della scheda di Potenza con MOSFET in Carbuuro di Silicio.

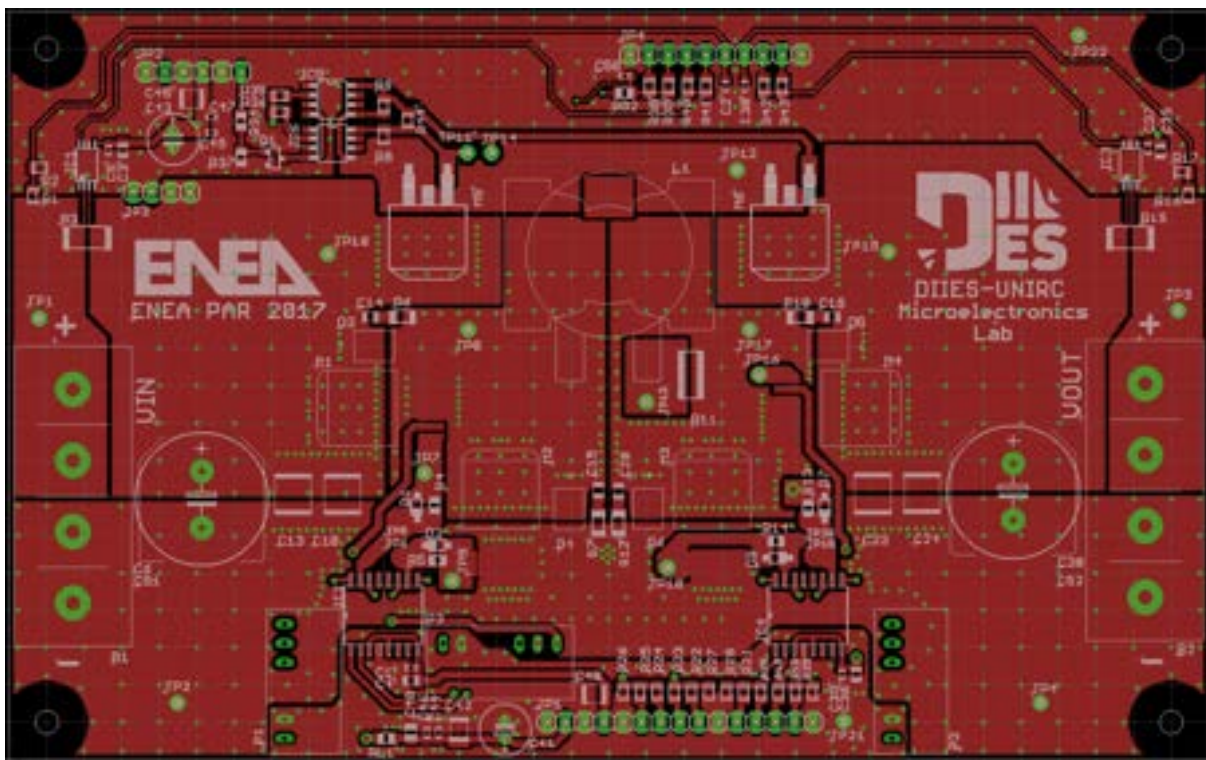


Figura 76. Top view layout della scheda di potenza con MOSFET in Carbuuro di Silicio.

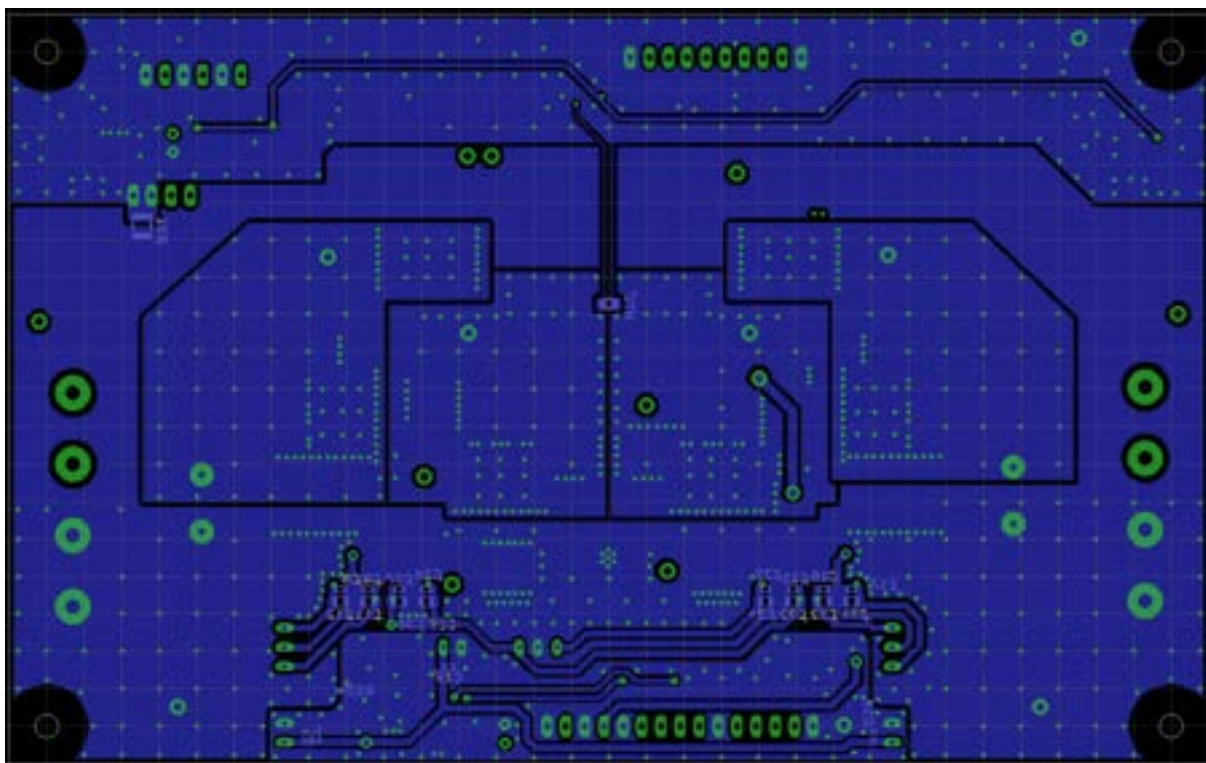


Figura 77. Botton view layout della scheda di potenza con MOSFET in Carbuuro di Silicio.

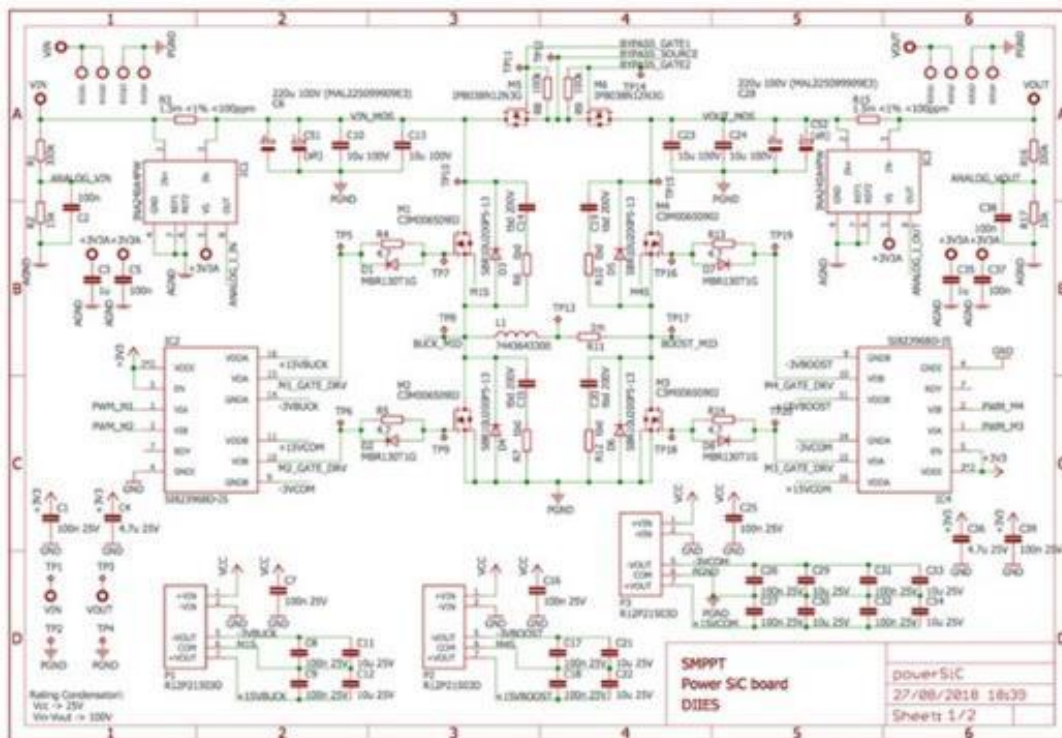


Figura 78. Schematico della scheda di potenza in Carburo di Silicio (foglio 1).

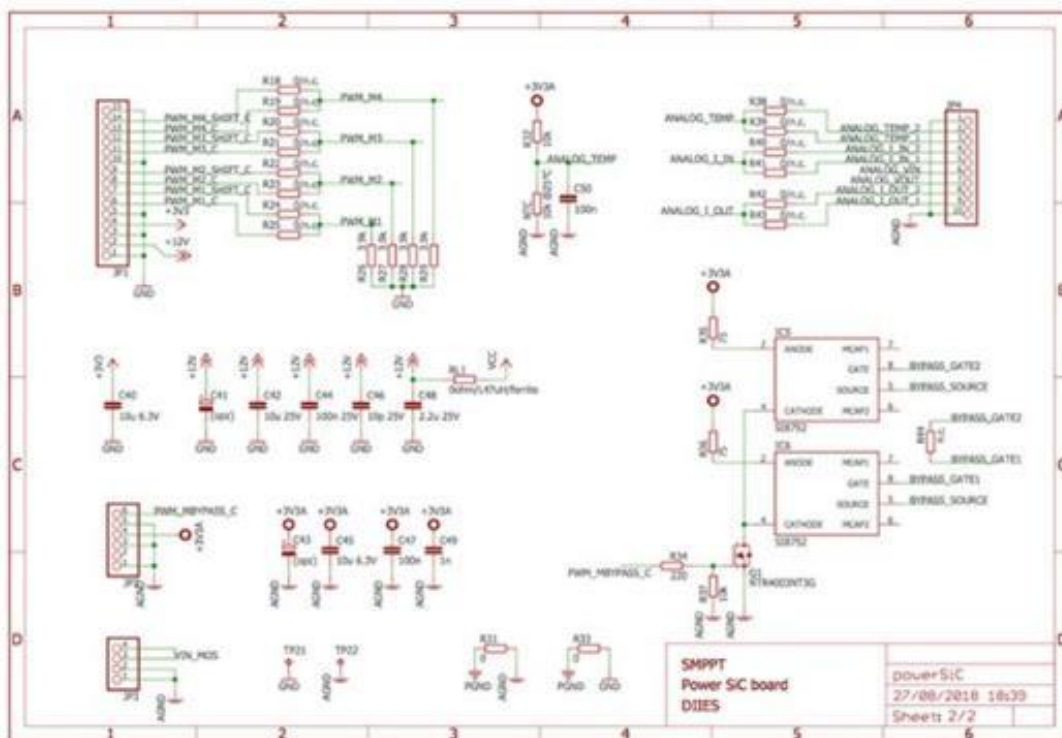


Figura 79. Schematico della scheda di potenza in Carburo di Silicio (foglio 2).

Di seguito sono riportati i layout e gli schematici della scheda di Potenza con MOSFET in Nitruro di Gallio.

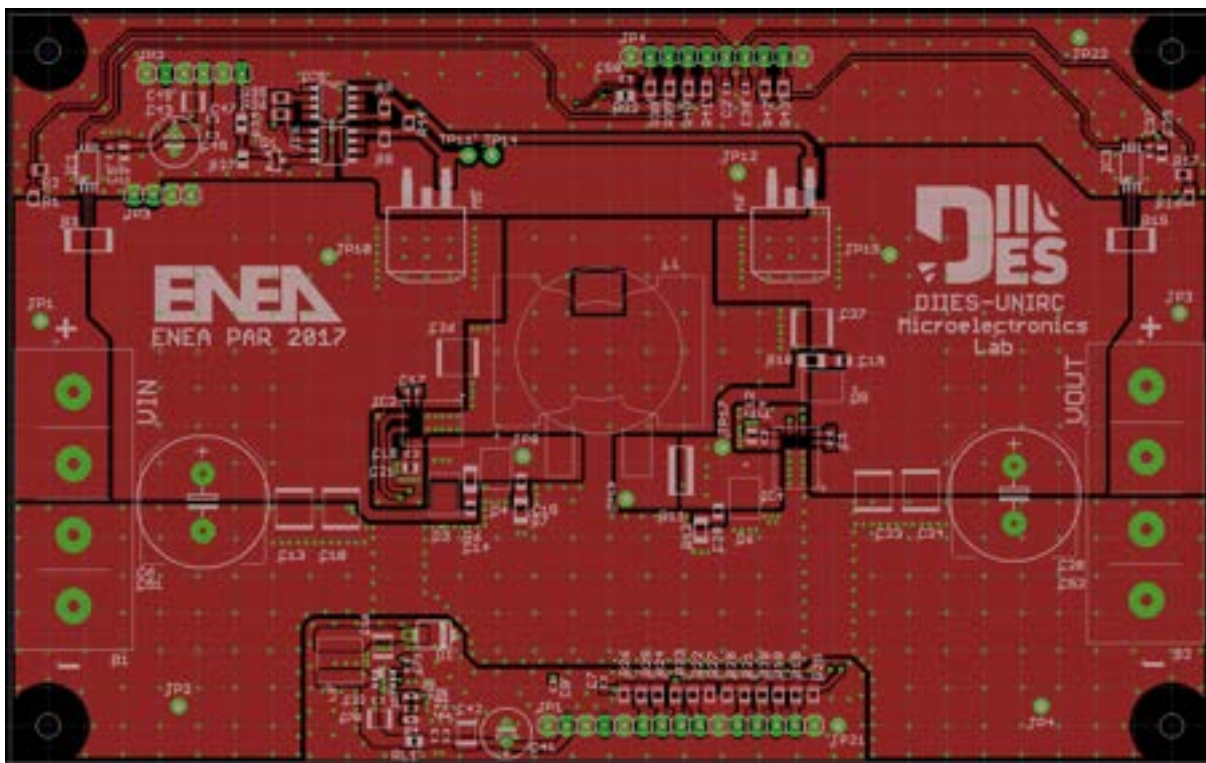


Figura 80. Top view layout della scheda di potenza con MOSFET in Nitruro di Gallio.

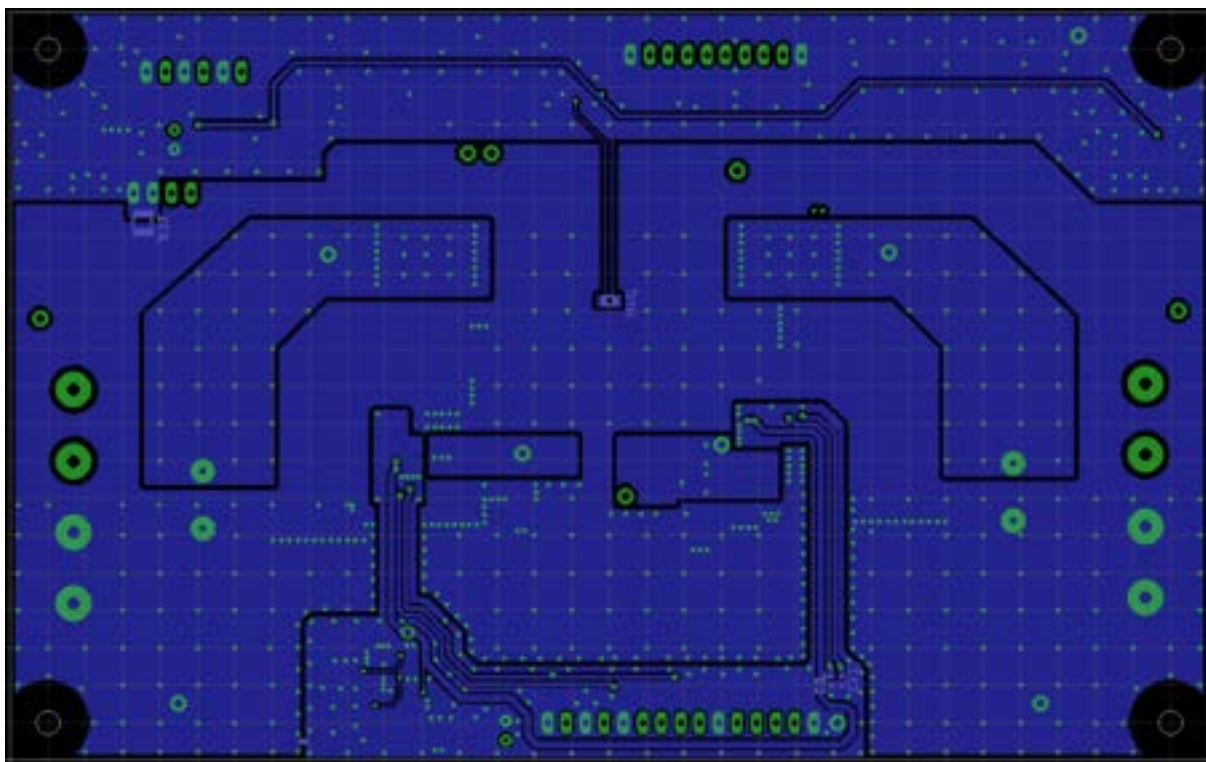


Figura 81. Botton view layout della scheda di potenza con MOSFET in Nitruro di Gallio.

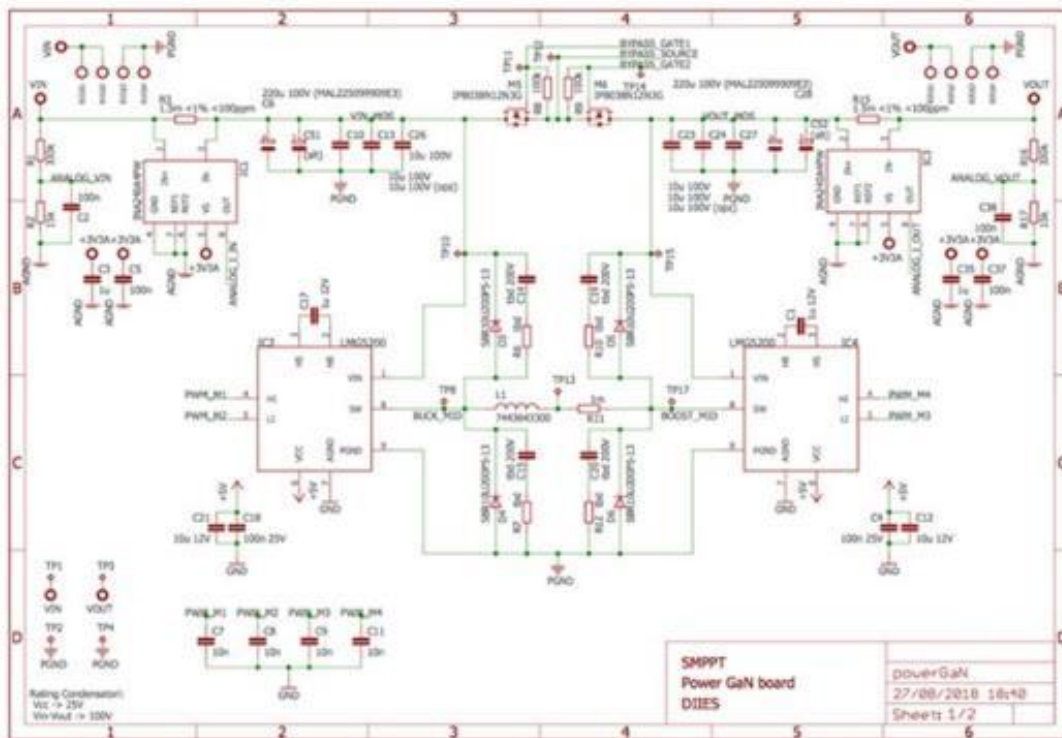


Figura 82. Schematico della scheda di potenza in Nitruro di Gallio (foglio 1).

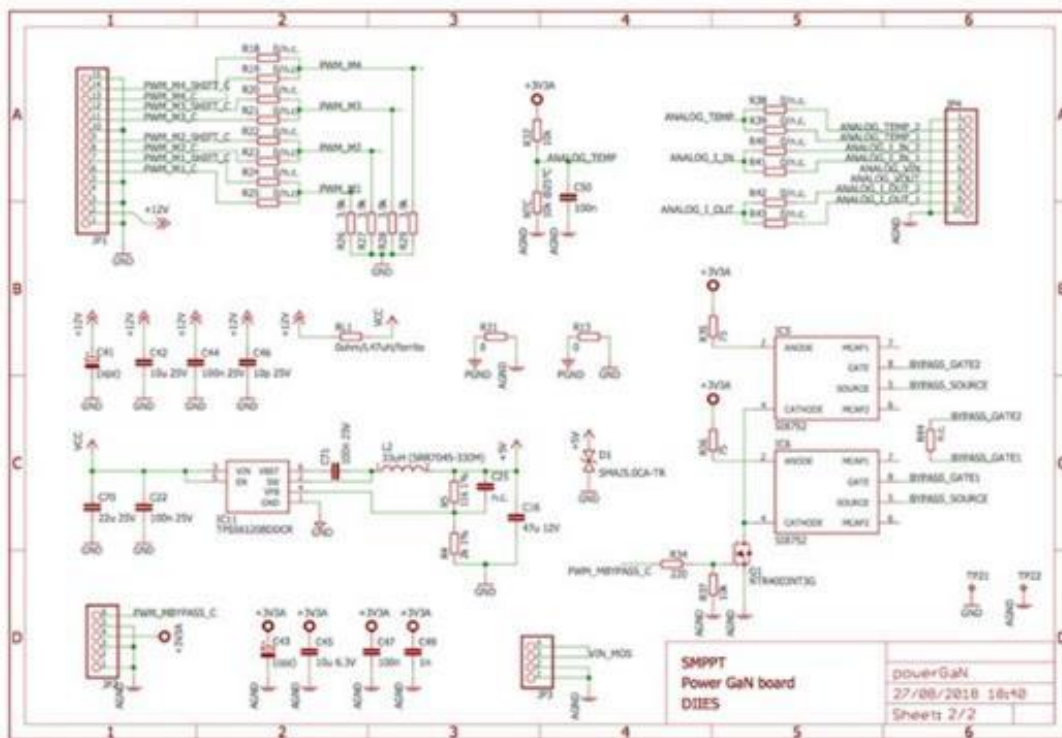


Figura 83. Schematico della scheda di potenza in Nitruro di Gallio (foglio 2).

## Riferimenti bibliografici

- [1] F.G. Della Corte et al., “Studio, mediante simulazioni numeriche, delle caratteristiche statiche e dinamiche di un MOSFET in 4H-SiC dimensionato per l’utilizzo in SMPPT fotovoltaici”, Report RdS/PAR2015/297.
- [2] F.G. Della Corte et al., “Rapporto tecnico sull’ottimizzazione del MOSFET in SiC per applicazioni SMPPT e sviluppo di un modello SPICE del dispositivo”, Report RdS/PAR2016.
- [3] J. Das, J. Everts, J. Van Den Keybus, M. Van Hove, D. Visalli, P. Srivastava, D. Marcon, K. Cheng, M. Leys, S. Decoutere, J. Driesen, and G. Borghs, “A 96% efficient high-frequency DC-DC converter using E-Mode GaN DHFETs on Si”, *IEEE Electron Device Lett.*, vol. 32, no. 10, pp. 1370–1372, 2011.
- [4] T. E. Persen, “2004 FPGA-Based Design of a Maximum-Power-Point Tracking System for Space Application.pdf”, 2004.
- [5] N. Khaehintung, T. Wiangtong, and P. Sirisuk, “FPGA Implementation of MPPT Using Variable Step-Size P&O Algorithm for PV Applications”, *2006 Int. Symp. Commun. Inf. Technol.*, no. 1, pp. 212–215, 2006.
- [6] J. Ahmed and Z. Salam, “A Modified P and O Maximum Power Point Tracking Method with Reduced Steady-State Oscillation and Improved Tracking Efficiency”, *IEEE Trans. Sustain. Energy*, vol. 7, no. 4, pp. 1506–1515, 2016.
- [7] S. K. Kollimalla, S. Member, M. K. Mishra, and S. Member, “Variable Perturbation Size Adaptive P & O MPPT Algorithm for Sudden Changes in Irradiance”, *IEEE Trans. Sustain. Energy*, vol. 5, no. 3, pp. 718–728, 2014.
- [8] B. R. Peng, K. C. Ho, and Y. H. Liu, “A Novel and Fast MPPT Method Suitable for Both Fast Changing and Partially Shaded Conditions”, *IEEE Trans. Ind. Electron.*, vol. 65, no. 4, pp. 3240–3251, 2018.
- [9] T. Ueda, “Reliability issues in GaN and SiC power devices”, *2014 IEEE Int. Reliab. Phys. Symp.*, pp. 1–6, 2014.
- [10] M. A. Briere, “GaN Based Power Devices: Cost-Effective Revolutionary Performance”, *Power Electron. Eur.*, no. 7, pp. 29–31, 2008.
- [11] Z. J. Shen, G. Sabui, Z. Miao, and Z. Shuai, “Wide-bandgap solid-state circuit breakers for DC power systems: Device and circuit considerations”, *IEEE Trans. Electron Devices*, vol. 62, no. 2, pp. 294–300, 2015.
- [12] J. Millan, P. Godignon, X. Perpina, A. Perez-Tomas, and J. Rebollo, “A Survey of Wide Bandgap Power Semiconductor Devices”, *IEEE Trans. Power Electron.*, vol. 29, no. 5, pp. 2155–2163, May 2014.
- [13] Texas Instrument, 2017. LM5161 Datasheet [Online]. Available: <http://www.ti.com/lit/ds/symlink/lm5161.pdf>.
- [14] Texas Instrument, 2017. TPS56120x Datasheet [Online]. Available: <http://www.ti.com/lit/ds/symlink/tps561201.pdf>.
- [15] Infineon, 2014. IPB038N12N3G Datasheet [Online]. Available: [https://www.infineon.com/dgdl/Infineon-IPP\\_I\\_B041N12N3-DS-v02\\_03-en.pdf?fileId=db3a30432239cccd0122a75b86467ca4](https://www.infineon.com/dgdl/Infineon-IPP_I_B041N12N3-DS-v02_03-en.pdf?fileId=db3a30432239cccd0122a75b86467ca4).
- [16] Future Technology Devices International Limited, 2011. FT2232D Datasheet [Online]. Available: [https://www.ftdichip.com/Support/Documents/DataSheets/ICs/DS\\_FT2232D.pdf](https://www.ftdichip.com/Support/Documents/DataSheets/ICs/DS_FT2232D.pdf).
- [17] Microchip Technology Inc., 2015. SST25VF080B Datasheet [Online]. Available: <http://ww1.microchip.com/downloads/en/DeviceDoc/20005045C.pdf>.
- [18] Lattice Semiconductor, 2017. iCE40 UltraPlus TM Family Datasheet.
- [19] Microchip Technology Inc., 2017. dsPIC33EPXXGS50X FAMILY Datasheet [Online]. Available: <http://ww1.microchip.com/downloads/en/DeviceDoc/70005127d.pdf>.
- [20] Silicon Labs, 2017. WGM110 Datasheet [Online]. Available: <https://www.silabs.com/documents/login/data-sheets/wgm110-datasheet.pdf>.
- [21] CREE, 2018. C3M0065090J Datasheet [Online]. Available: <https://www.wolfspeed.com/downloads/dl/file/id/145/product/1/c3m0065090j.pdf>.

- [22] Texas Instrument, 2018. LMG5200 Datasheet [Online].  
Available: <http://www.ti.com/lit/ds/symlink/lmg5200.pdf>.
- [23] Texas Instrument, 2016. UCC27211A-Q1 Datasheet [Online]. Available:  
<http://www.ti.com/lit/ds/symlink/ucc27211a-q1.pdf>.
- [24] Silicon Labs, 2017. Si8752 Datasheet [Online].  
Available: <https://www.silabs.com/documents/public/data-sheets/Si8751-2.pdf>.